

Αρχιτεκτονική Υπολογιστών

5ο εξάμηνο ΣΗΜΜΥ

Ακαδημαϊκό Έτος: 2019-20

Διονύσης Πνευματικάτος

pnevmati@cslab.ece.ntua.gr

<http://www.cslab.ece.ntua.gr/courses/comparch/>

Τι είναι η «Αρχιτεκτονική Υπολογιστών»;

Λογική Σχεδίαση: σχεδίαση βασικών ψηφιακών κυκλωμάτων

Ψηφιακά Συστήματα: σχεδίαση ψηφιακών κυκλωμάτων

Μικροεπεξεργαστές: Προγραμματισμός Assembly

Αρχιτεκτονική Υπολογιστών: Σχεδίαση βασικού (απλού) υπολογιστικού συστήματος

Προηγμένη Αρχιτεκτονική Υπολογιστών: Προχωρημένες τεχνικές για αποδοτική σχεδίαση υπολογιστικών συστημάτων

Συστήματα Παράλληλης Επεξεργασίας: Θεματα στην σχεδίαση και προγραμματισμό παράλληλων υπολογιστικών συστημάτων

Βιβλία μαθήματος

Οργάνωση και Σχεδίαση Υπολογιστών (η διασύνδεση υλικού και λογισμικού), 4η έκδοση, David Patterson and John Hennessy, μετάφραση, εκδόσεις Κλειδάριθμος, 2010

Ξενόγλωσσα βιβλία

- *Computer Architecture: A Quantitative Approach*, 4th Edition, John L. Hennessy & David A. Patterson, Morgan Kaufmann, 2006.
- *Modern Processor Design: Fundamentals of Superscalar Processors*, John Shen & Miko Lipasti, McGraw-Hill, 2004.
- *Inside the Machine: An Illustrated Introduction to Microprocessors and Computer Architecture*, Jon Stokes, No Starch Press, 2006.
- *Readings in Computer Architecture*, edited by Mark Hill, Norman Jouppi & Gurindar Sohi, Morgan Kaufmann 2000.

Διδάσκοντες/Ωρες

Διαλέξεις: Τετάρτη 15:15-17:00, Πέμπτη 8:45-10:30

Πού: Νέο Κτίριο Ηλεκτρολόγων ΑΜΦ 3-5

Διδάσκοντες

- Καθ. Παναγιώτης Τσανάκας, (Τμήμα Α-ΚΑΣ) ΑΜΦ 3
- Καθ. Νεκτάριος Κοζύρης, (Τμήμα ΚΑΤ-ΠΑΠΑΓ) ΑΜΦ 4
- Καθ. Διονύσιος Πνευματικάτος, (Τμήμα ΠΑΠΑΔ-Ω) ΑΜΦ 5

Τεχνικές Λεπτομέρειες

- σειρές ασκήσεων (bonus 1 μονάδα)
- www.cslab.ece.ntua.gr/courses/comparch
- γραπτή εξέταση, άριστα 10
- εξετάσεις με κλειστά βιβλία + «σκονάκι» (1 Α4 φύλλο)
- μυστικό επιτυχίας? **παρακολούθηση + βιβλίο**

1 εβδομάδα διάβασμα στην εξεταστική ΔΕΝ αρκεί

Εισαγωγή

Α' μέρος:

- Ιστορική αναδρομή/εξέλιξη
- Σύγχρονες Τάσεις στην Αρχιτεκτονική Υπολογιστών

Β' μέρος:

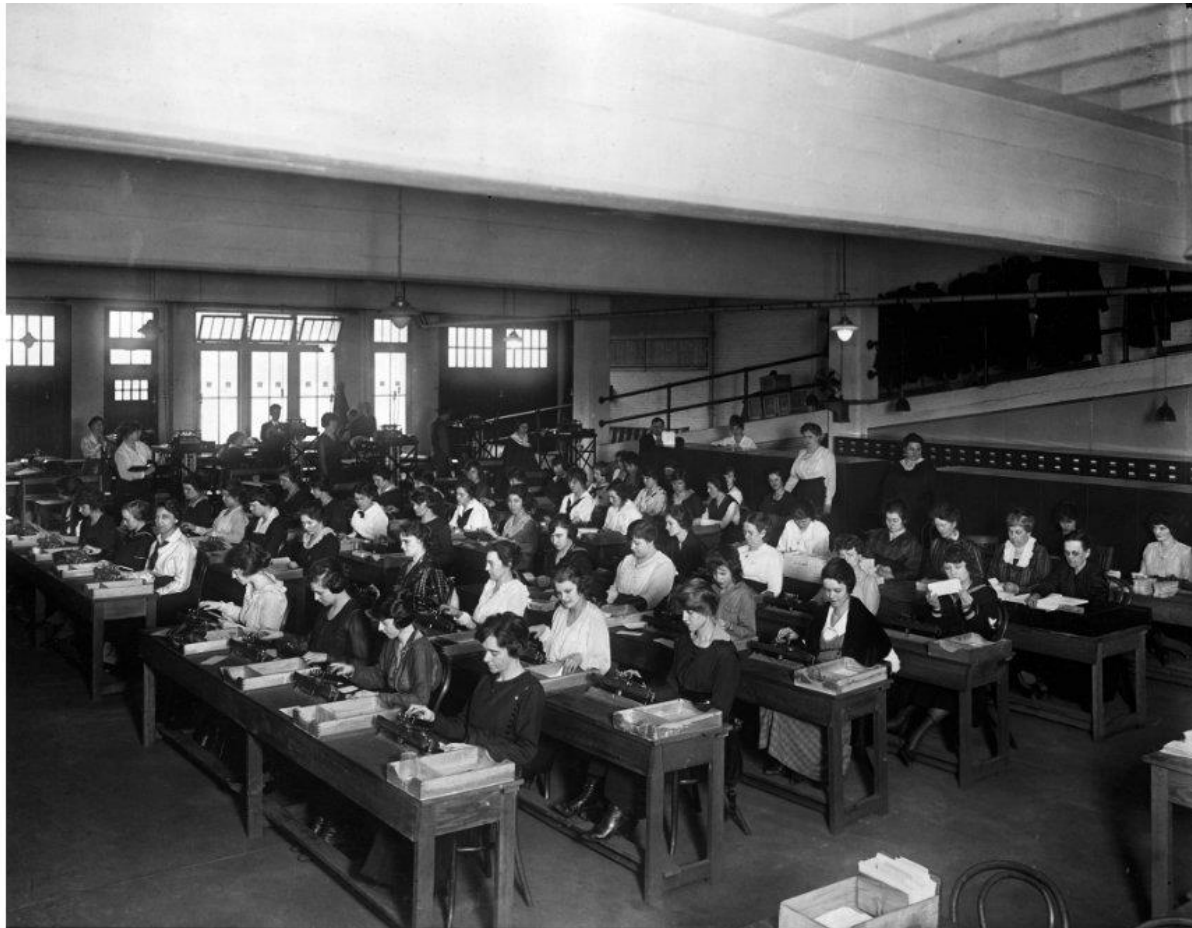
- Δομικά στοιχεία Υπολογιστή/τι είναι ISA

Τι σημαίνει “Computer”;

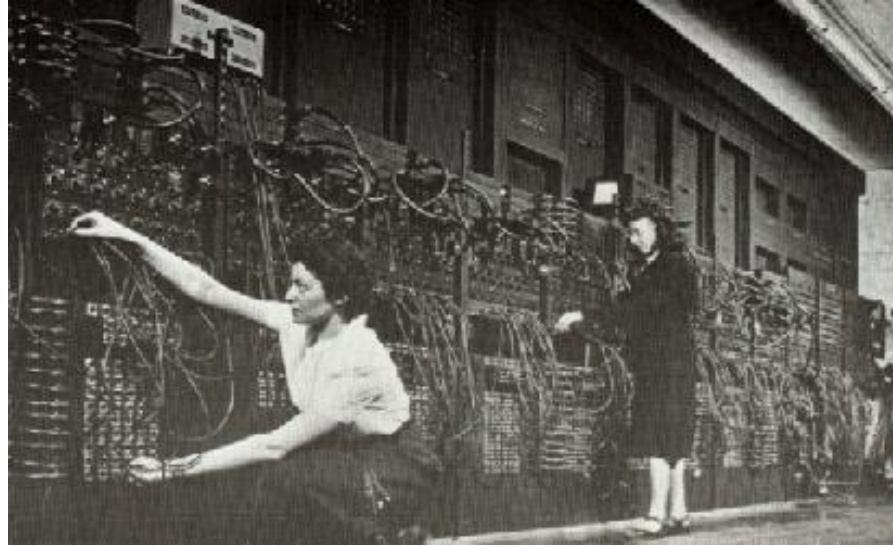
Write = γράφω, *Writer* = Αυτός (ο άνθρωπος) που γράφει

Compute = Υπολογίζω, *Computer* **Αυτός** που υπολογίζει! **Human** computer!!!

<http://www.computerhistory.org/revolution/calculators/1/65/2209>



Μια φορά και έναν καιρό, το 1944...



ENIAC (1943-1946) by Mauchly and Eckert

Dimension: 3 ft × 8 ft × 100 ft

18,000 vacuum tubes + lots of switches

Memory : Twenty 10-digit registers (2ft = 61cm each)

Speed: **800 operations/sec**

General-purpose machine used for computing artillery firing tables

10 years of service – more calculations than done by the entire human race until 1946

Προβλέψεις (tunnel vision)

“I think there is a world market for maybe
five computers.”

Thomas Watson, Chairman of IBM, 1943

Ιστορική Αναδρομή - 1951



UNIVAC I (June 1951)

\$1 million

Πούλησε 48 τεμάχια → Το πρώτο επιτυχημένο
εμπορικό σύστημα!

Ιστορική Αναδρομή – “Family”



Model 40

1.6MHz, 32-256KB, \$225,000



Model 50

2MHz, 128-256KB, \$550,000



Model 60

5MHz, 256KB-1MB, \$1,200,000



Model 75

5.1MHz, 256KB-1MB, \$1,900,000

IBM System / 360

- 1964
- \$5 billion investment
- 6 implementations

DEC PDP-8

- 1965
- 1st minicomputer
- cost < \$20,000

...more tunnel vision from “Experts”

“There is no reason for any individual to have a computer in their home”

- ❖ Ken Olson, president and founder of Digital Equipment Corporation, 1977

Οι Γενιές των επεξεργαστών

- 1^η Γενιά, 1946-59: Vacuum Tubes, Relays, Mercury Delay Lines:
 - ENIAC (Electronic Numerical Integrator and Computer): Πρώτος Η/Υ, 18000 vacuum tubes, 1500 relays, 5000 additions/sec
 - Πρώτο πρόγραμμα αποθηκευμένο σε υπολογιστή: **EDSAC** (Electronic Delay Storage Automatic Calculator)
- 2^η Γενιά, 1959-64: Διακριτά Transistors
- 3^η Γενιά, 1964-71: Μικρού και Μεσαίου μεγέθους Ολοκληρωμένα Κυκλώματα
- 4^η Γενιά, 1971-σήμερα: Μικροϋπολογιστές βασισμένοι σε τεχνολογία ολοκληρωμένων CMOS-VLSI
- 5^η Γενιά,: Γραφένιο; carbon nanotubes; Quantum;

Οι Γενιές των μ-Επεξεργαστών

- 1971: Intel 4004, 2,3K transistors 12 mm² (740 KHz, 92K ops, 10μm)
- 1978: Intel 8086, 30K transistors, 33 mm²
- 1984: Stanford **MIPS**, 24K transistors, 34 mm²
(Berkeley RISC II: 41K, 60mm²)
- 1996: Pentium Pro, 5,5M transistors, 306mm²
- 2007: Penryn (core2 duo) 4-core: ~820M transistors (214 mm², 45nm)
- 2008 Nehalem (700M-2,3 Bxtors 32nm, Core i7 μarch)
- 2008 Tukwila (2 Bxtors -διάδοχος Itanium 2 και Montecito-30MB cache & 4 cores)
- 2013 Haswell (Core i7, 22nm, <= 8 cores, ~1.5Bxtors, 40MByte cache)
- 2018 Coffee Lake Refresh (i7-9900K 3 Bxtors)
- 2017 Apple A12X Bionic 10 Bxtors, Qualcomm Centriq 2400 18Bxtors
- 2017 Nvidia GV100 Volta 21 Bxtors

UltraSPARC T2: Niagara-2 cpu

500 million transistors

342 square millimeter die size

11-layer, 65 nm process from Texas Instruments

T2 chip, which has only 720 pins.

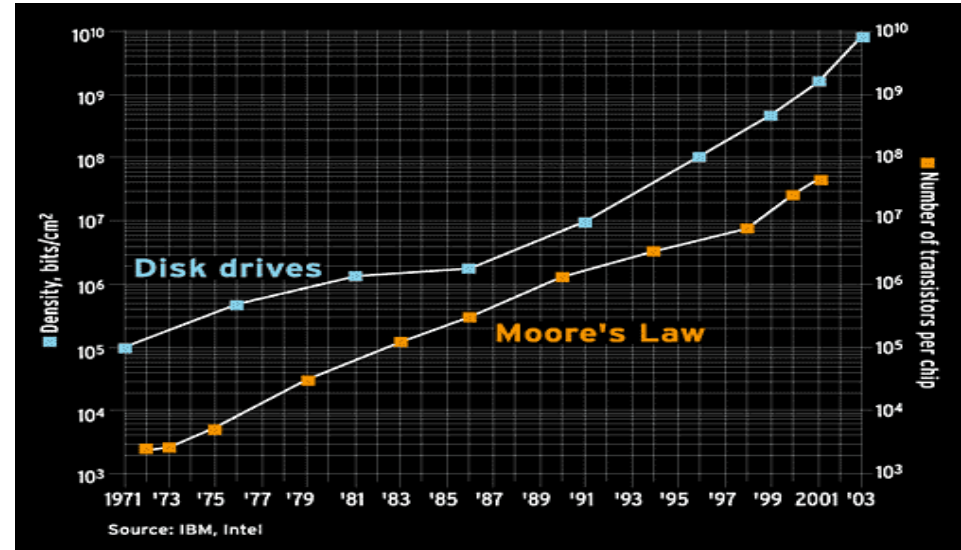
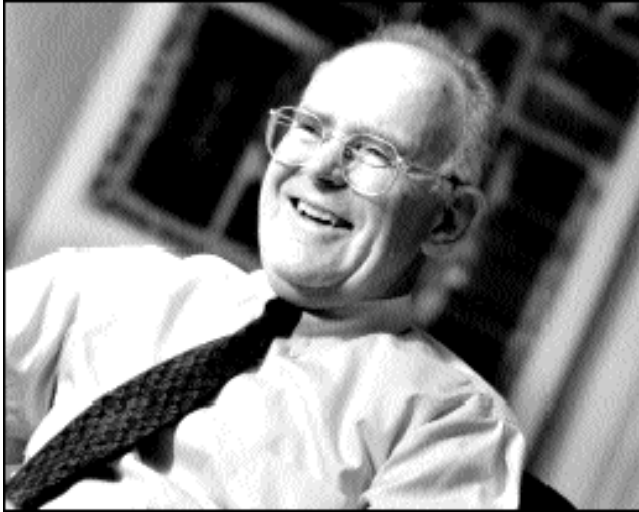
200 are used for testing the chip

8 cores, κάθε core τρέχει ταυτόχρονα 8 νήματα (threads)

Σύνολο 64 νήματα ταυτόχρονα.....

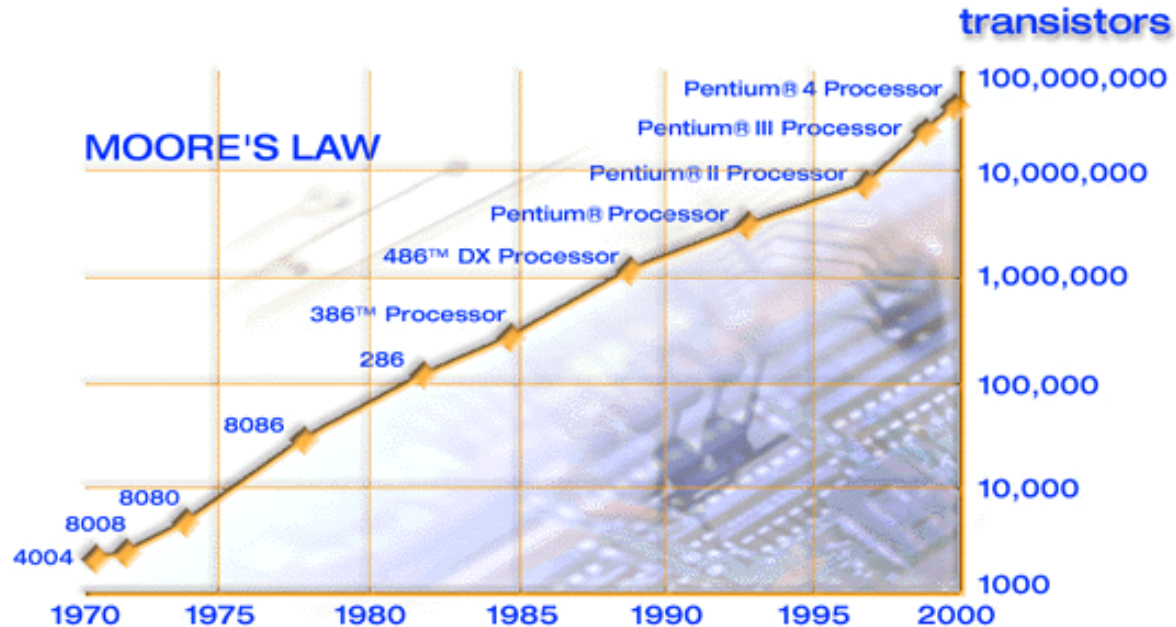
2007

Moore's Law: Microprocessor Capacity



Gordon Moore (συνιδρυτής της Intel)

1965: η πυκνότητα των transistors σε chips ημιαγωγών θα διπλασιάζεται κάθε 24 μήνες.



The experts look ahead

Cramming more components onto integrated circuits

With unit cost falling as the number of components per circuit rises, by 1975 economics may dictate squeezing as many as 65,000 components on a single silicon chip

By Gordon E. Moore

Director, Research and Development Laboratories, Fairchild Semiconductor division of Fairchild Camera and Instrument Corp.

The future of integrated electronics is the future of electronics itself. The advantages of integration will bring about a proliferation of electronics, pushing this science into many new areas.

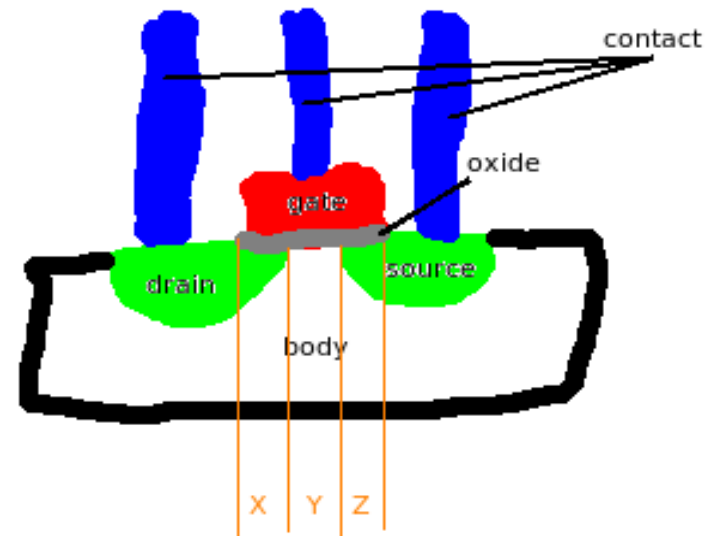
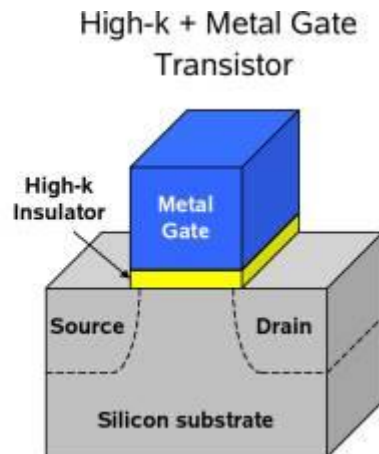
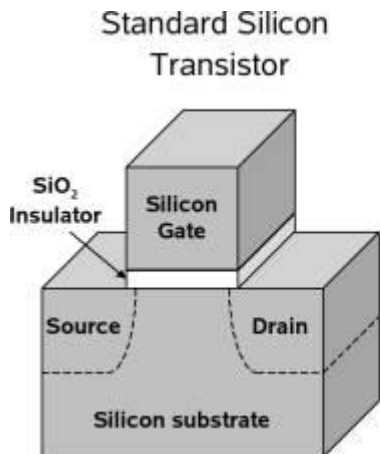
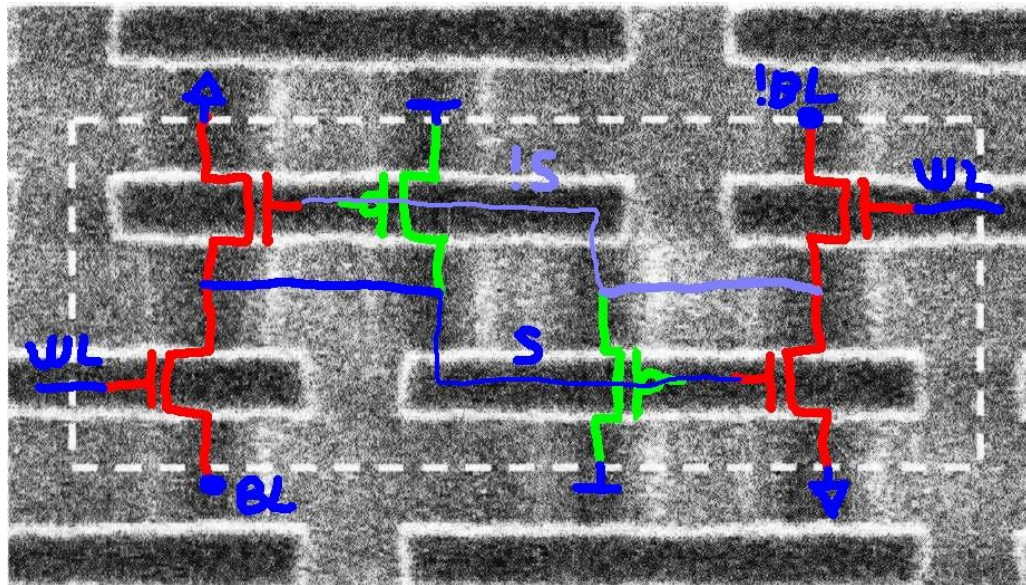
Integrated circuits will lead to such wonders as home computers—or at least terminals connected to a central computer—automatic controls for automobiles, and personal portable communications equipment. The electronic wrist-watch needs only a display to be feasible today.

machine instead of being concentrated in a central unit. In addition, the improved reliability made possible by integrated circuits will allow the construction of larger processing units. Machines similar to those in existence today will be built at lower costs and with faster turn-around.

Present and future

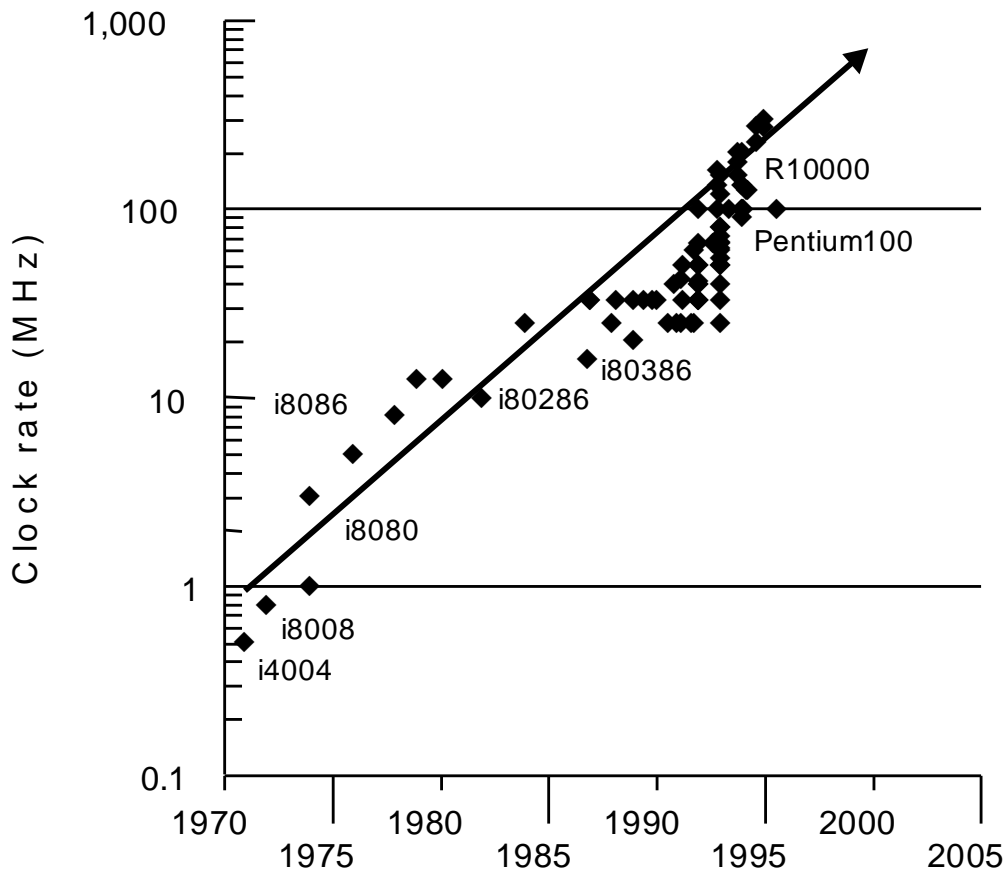
By integrated electronics, I mean all the various technologies which are referred to as microelectronics today as well as any additional ones that result in electronics func-

Intel 45nm 6T SRAM cell



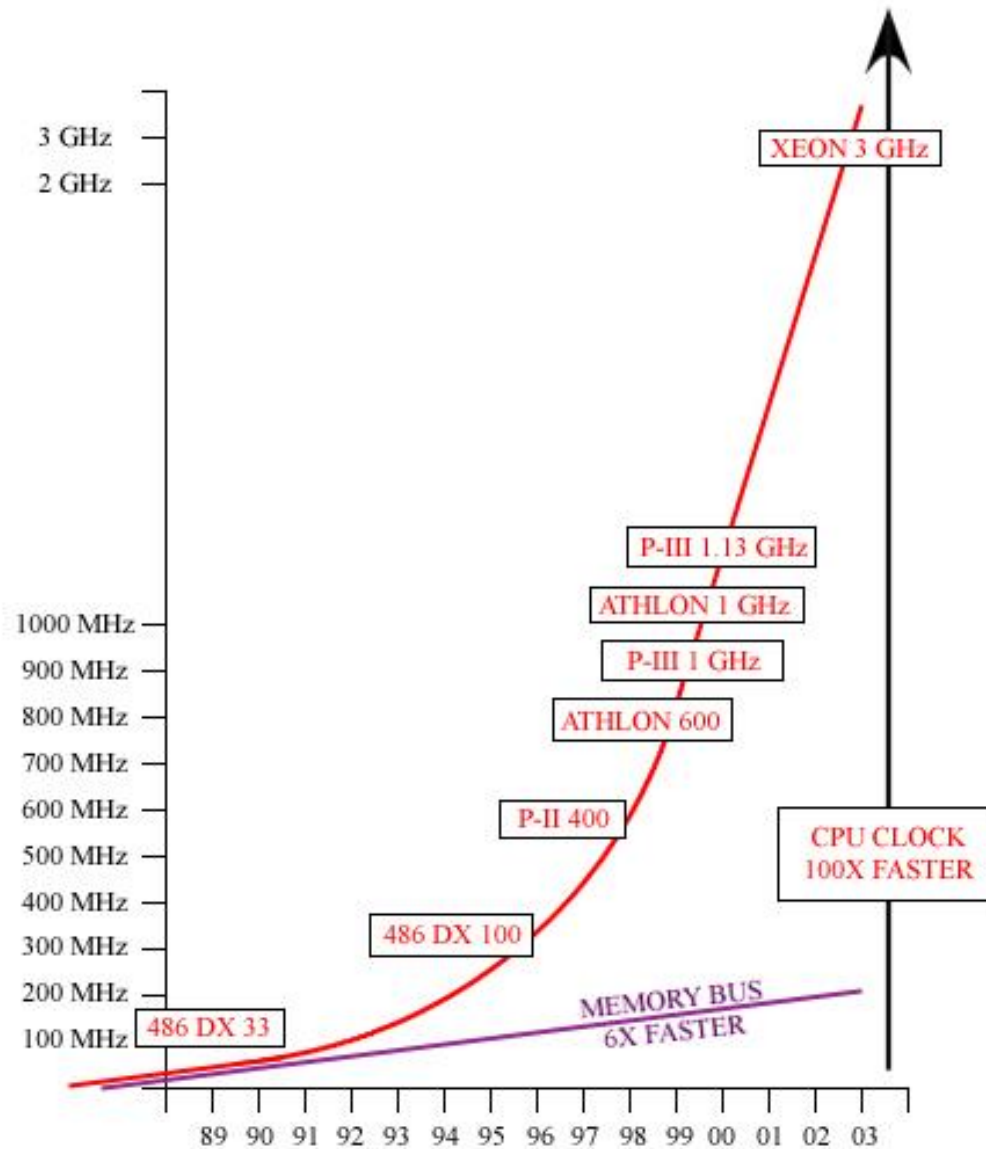
X = Gate-drain overlap
Y = Channel length
Z = Gate-source overlap
 $X+Y+Z$ = Gate length (printed / manufactured)

Ρυθμός αύξησης Συχνότητας Ρολογιού

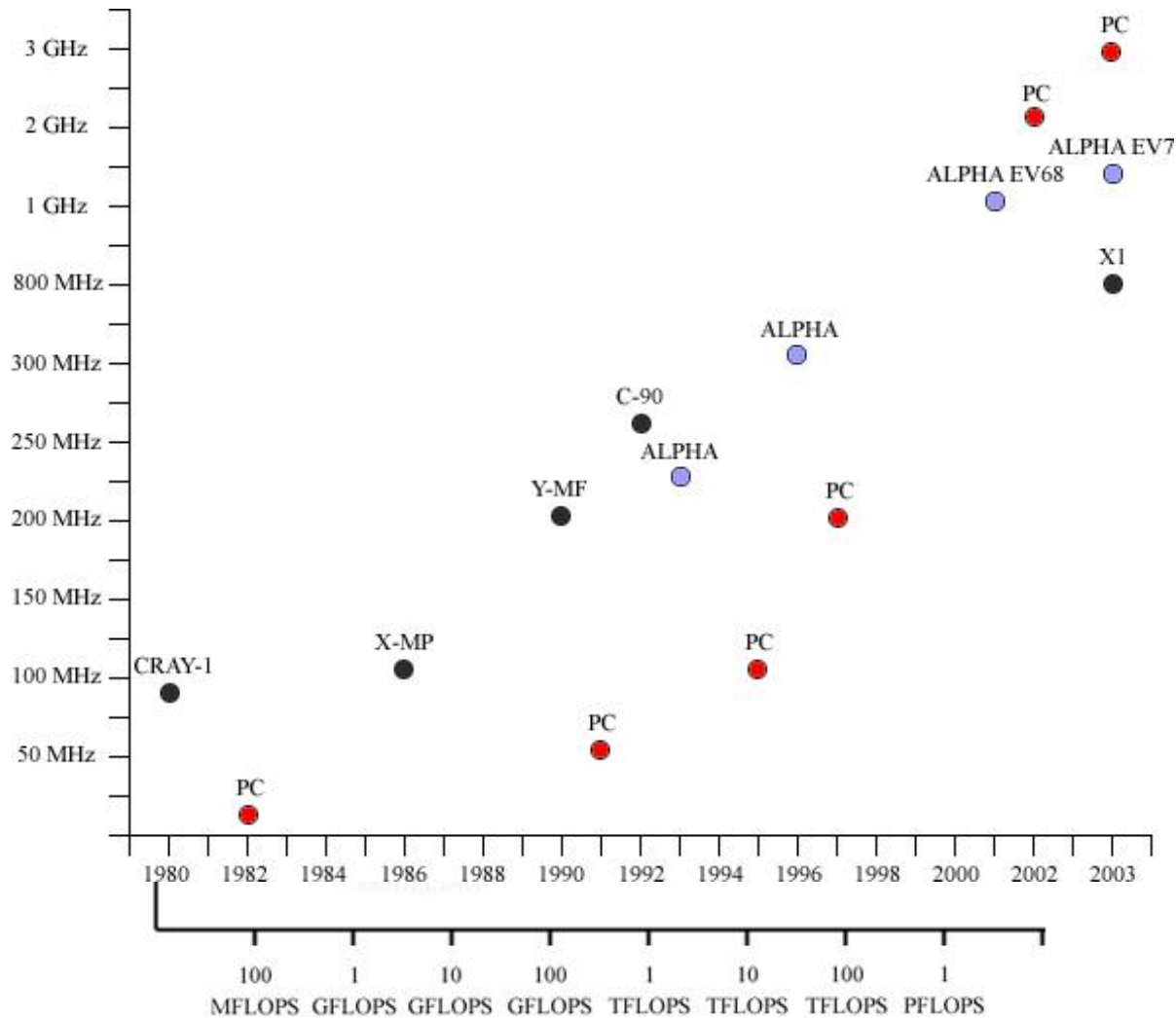


➤ 30% το χρόνο

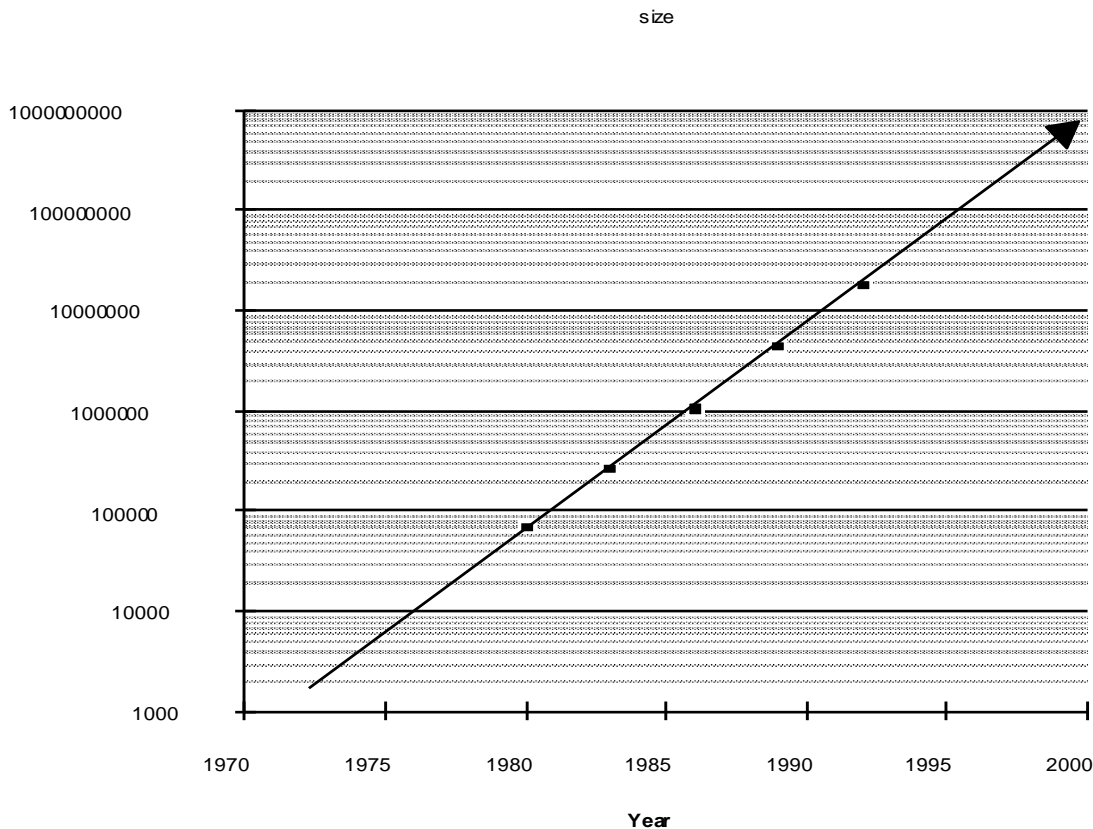
CPU Clock



Clock Speeds



Αύξηση της χωρητικότητας των VLSI Dynamic RAM Chips



έτος	μέγεθος(Mbit)
1980	0.0625
1983	0.25
1986	1
1989	4
1992	16
1996	64
1999	256
2000	1024

**1.55X/έτος,
δηλαδή διπλασιάζεται
κάθε 1.6 χρόνια**

Ομοίως και για το χώρο αποθήκευσης

Επεξεργαστής:

2X ταχύτητα κάθε 1.5 έτος.

~1000X απόδοση τη τελευταία 10ετία.

Μνήμη:

DRAM χωρητικότητα: > 2x κάθε 1.5 έτος.

~1000X χωρητικότητα τη τελευταία 10ετία.

Κόστος ανά bit: πέφτει κατά 25% το χρόνο.

Disk:

Χωρητικότητα: > 2X κάθε 1.5 έτος.

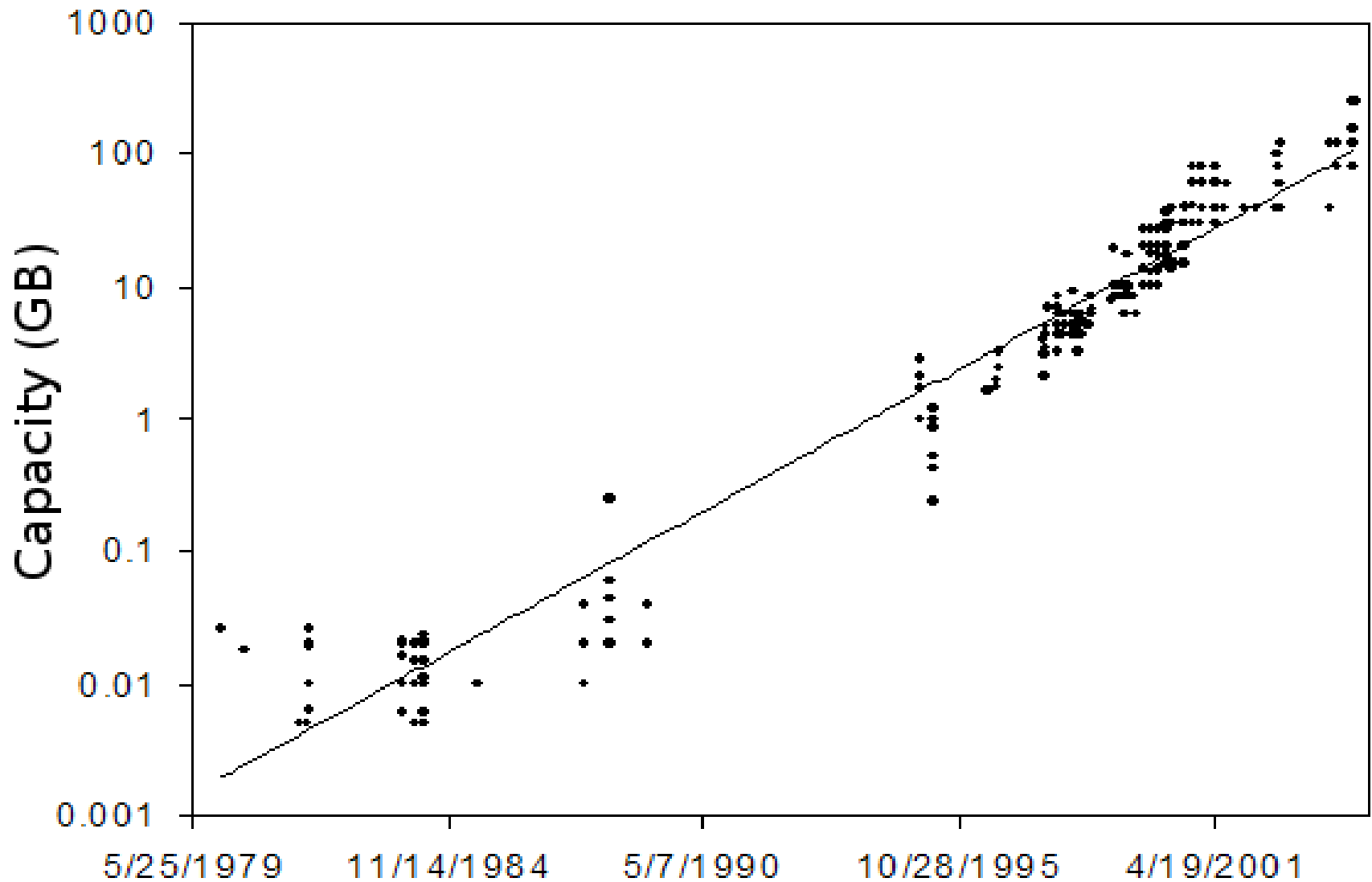
Κόστος ανά bit: πέφτει κατά 60% το χρόνο.

200X χωρητικότητα τη τελευταία 10ετία.

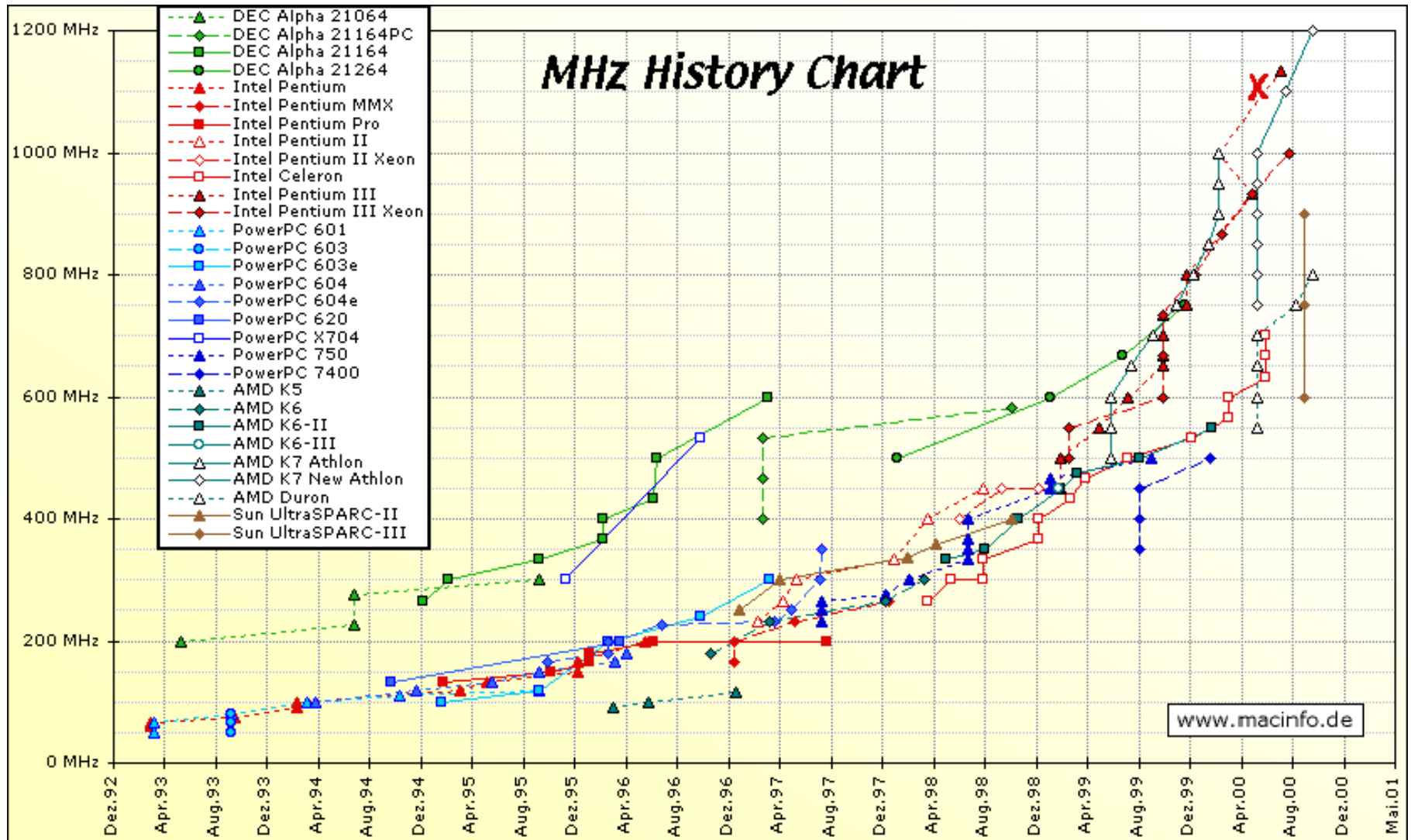
Απόκλιση μεταξύ χωρητικότητας μνήμης και ταχύτητας μνήμης

➤ η ταχύτητα μόνο 7% το χρόνο

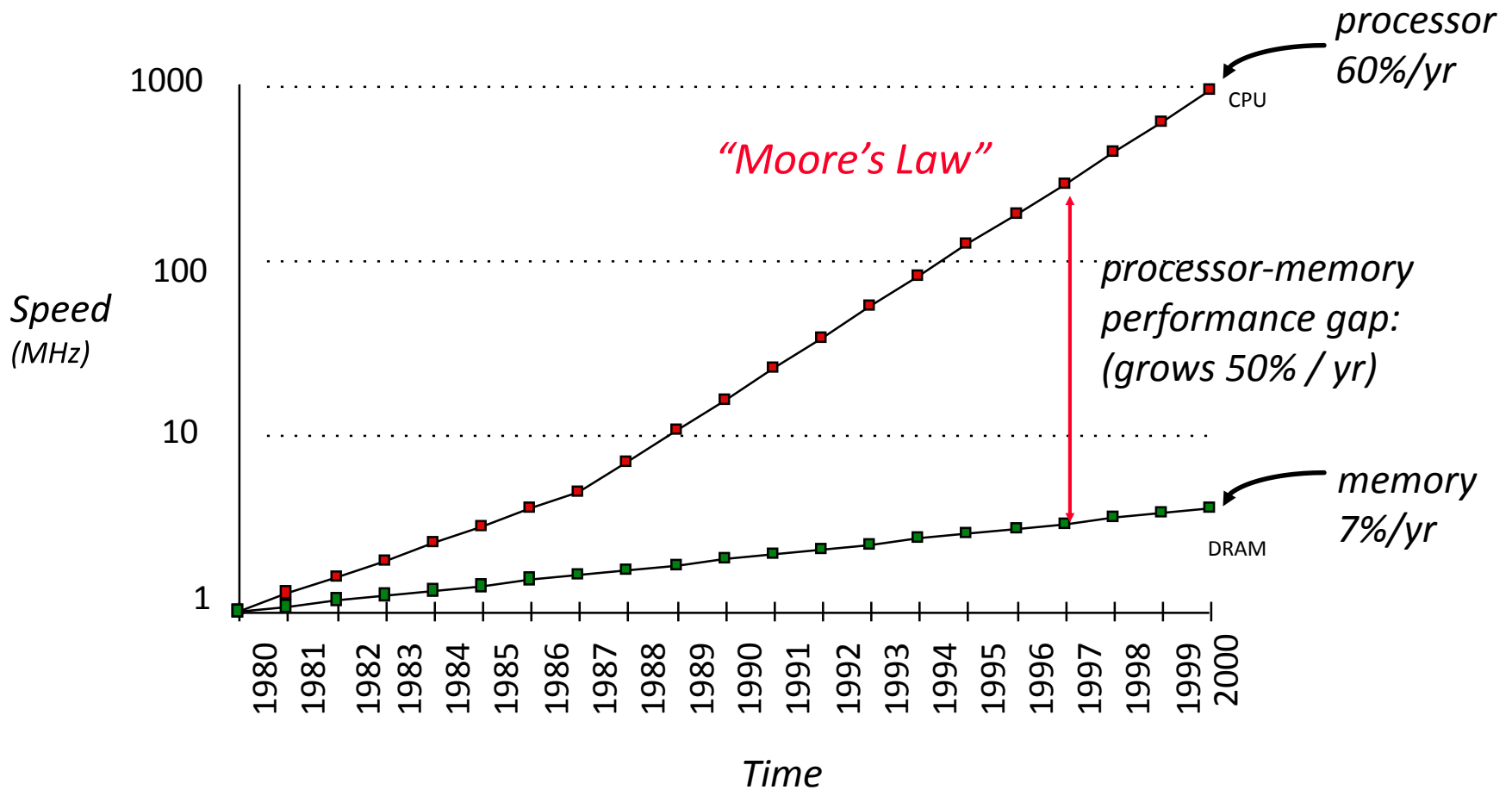
Hard drive capacity



Microprocessor Clock Rate



Processor-Memory Gap



Παραλληλία στους μ-Επεξεργαστές

- Έως το 1985: Παραλληλία σε επίπεδο bit: 4-bit -> 8 bit -> 16-bit
- Μέσα δεκαετίας 1980s έως μέσα δεκαετίας 1990: Παραλληλία σε επίπεδο εντολής (instruction level parallelism)
- 1995: Παραλληλία σε επίπεδο thread (Simultaneous Multithreading)
- 2004: Παραλληλία σε επίπεδο πυρήνων (cores)
- Επόμενο βήμα;;;

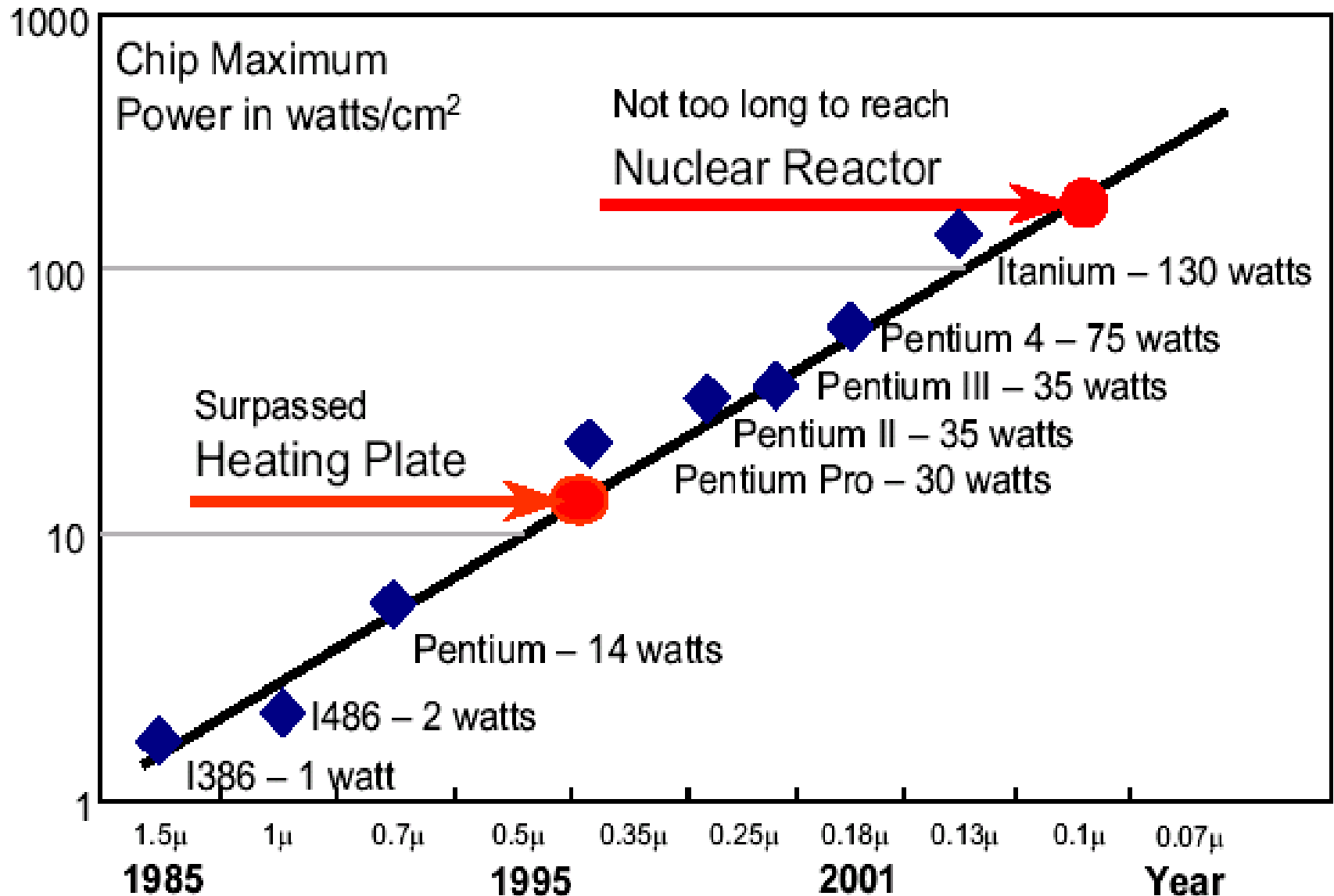
Reuters, Δευτέρα 11/6/2001:

Οι μηχανικοί της Intel σχεδίασαν και κατασκεύασαν το μικρότερο και ταχύτερο transistor στον κόσμο με μέγεθος 0,02 microns. Αυτό ανοίγει το δρόμο για μικροεπεξεργαστές 1 δισεκατομμυρίου transistors, με συχνότητα στα 20GHz το 2007.

Έχουμε επεξεργαστές στα 20GHz σήμερα;

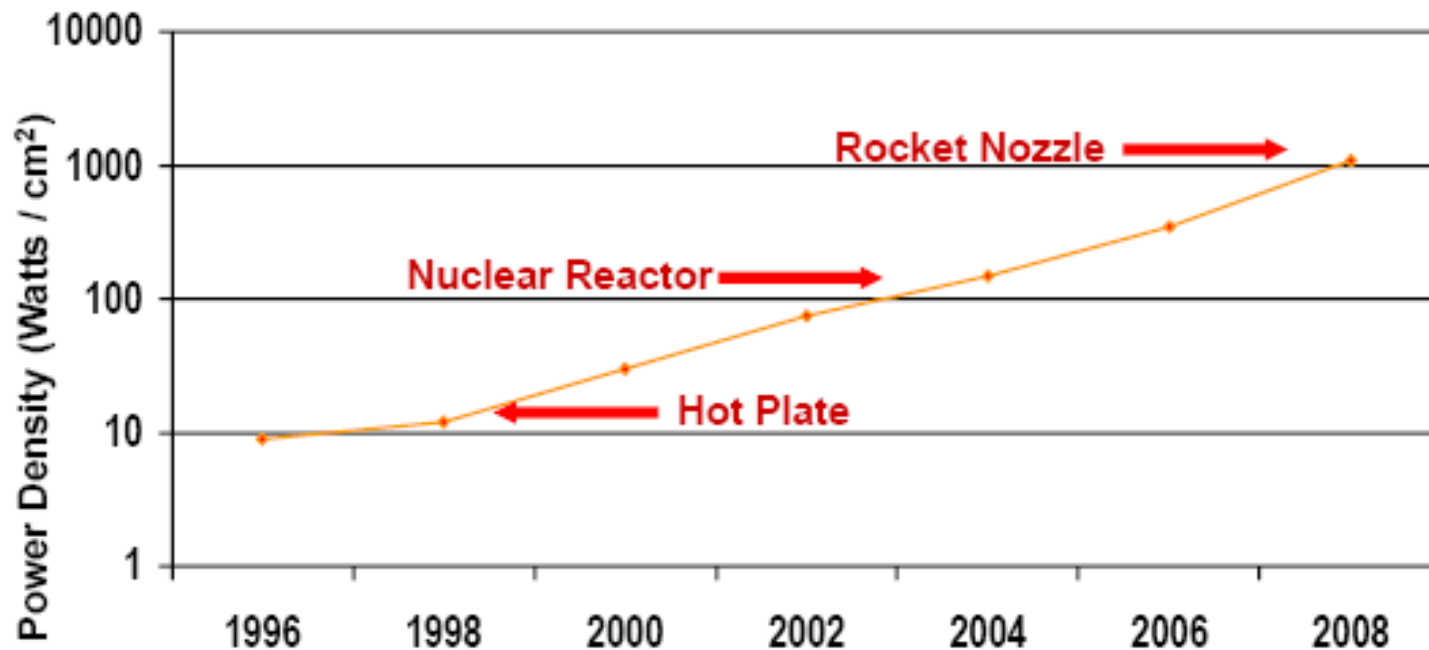
Γιατί (ναι ή όχι);

Power troubles: Power, Energy & Power Density



Power Density Limits Serial Performance

Moore's Law Extrapolation: Power Density for Leading Edge Microprocessors



Power Density Becomes Too High to Cool Chips Inexpensively

Source: Shekhar Borkar, Intel Corp

Η επανάσταση που συμβαίνει σήμερα

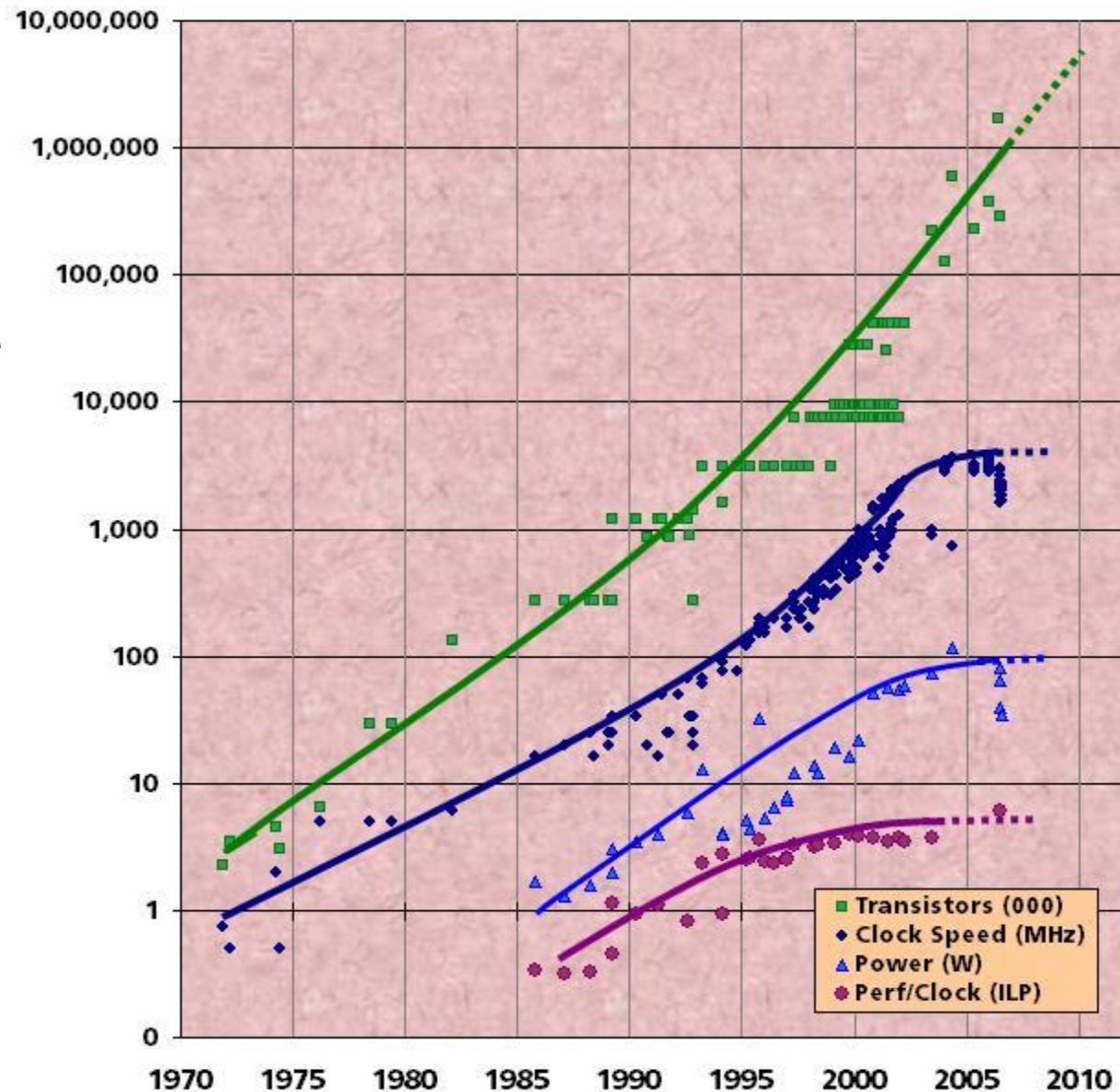
Ο «γνήσιος» νόμος του Moore συνεχίζει να ισχύει!

Chip density is continuing increase
~2x every 2 years

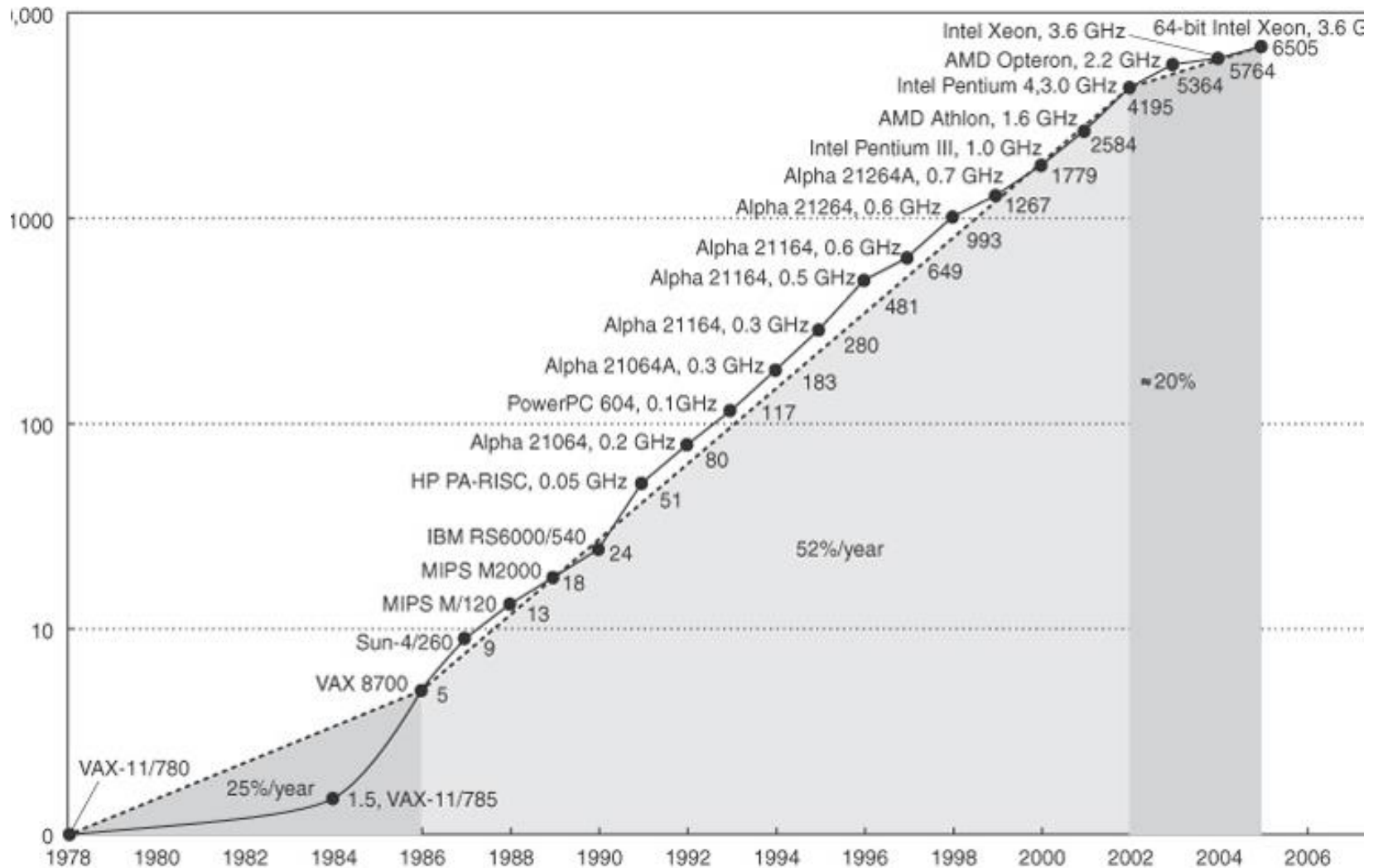
- **Clock speed is not**
- **Number of processor cores doubles instead**

There is little or no hidden parallelism (ILP) to be found
Parallelism must be exposed to and managed by software

Source: Intel, Microsoft (Sutter) and Stanford (Olukotun, Hammond)



Processor Performance



Performance metrics: FLOPs & MIPs

FLOPs: Floating Point Operations per Second

MIPs: Million Instructions per Second

Έστω ότι έχουμε έναν επεξεργαστή που κάνει 1 πράξη κινητής υποδιαστολής (απλής ακρίβειας) σε κάθε κύκλο ρολογιού:

Αν η συχνότητά του είναι 1GHz, τότε έχει απόδοση 1 GFLOP

Αν ολοκληρώνει 1 εντολή σε κάθε κύκλο, τότε έχει απόδοση 1000MIPs

$4 \times \text{freq FLOPs} < \{\text{single Core 2 @ 2.93GHz}\} < 8 \times \text{freq FLOPs}$

Εξαρτάται από την πράξη, FPADD, FPMUL, FPDIV (απλής ακριβείας-single precision).

Τουλάχιστον 12 GFLOPs/cpu

Συνέδριο-Έκθεση ACM/IEEE Supercomputing

www.supercomp.org

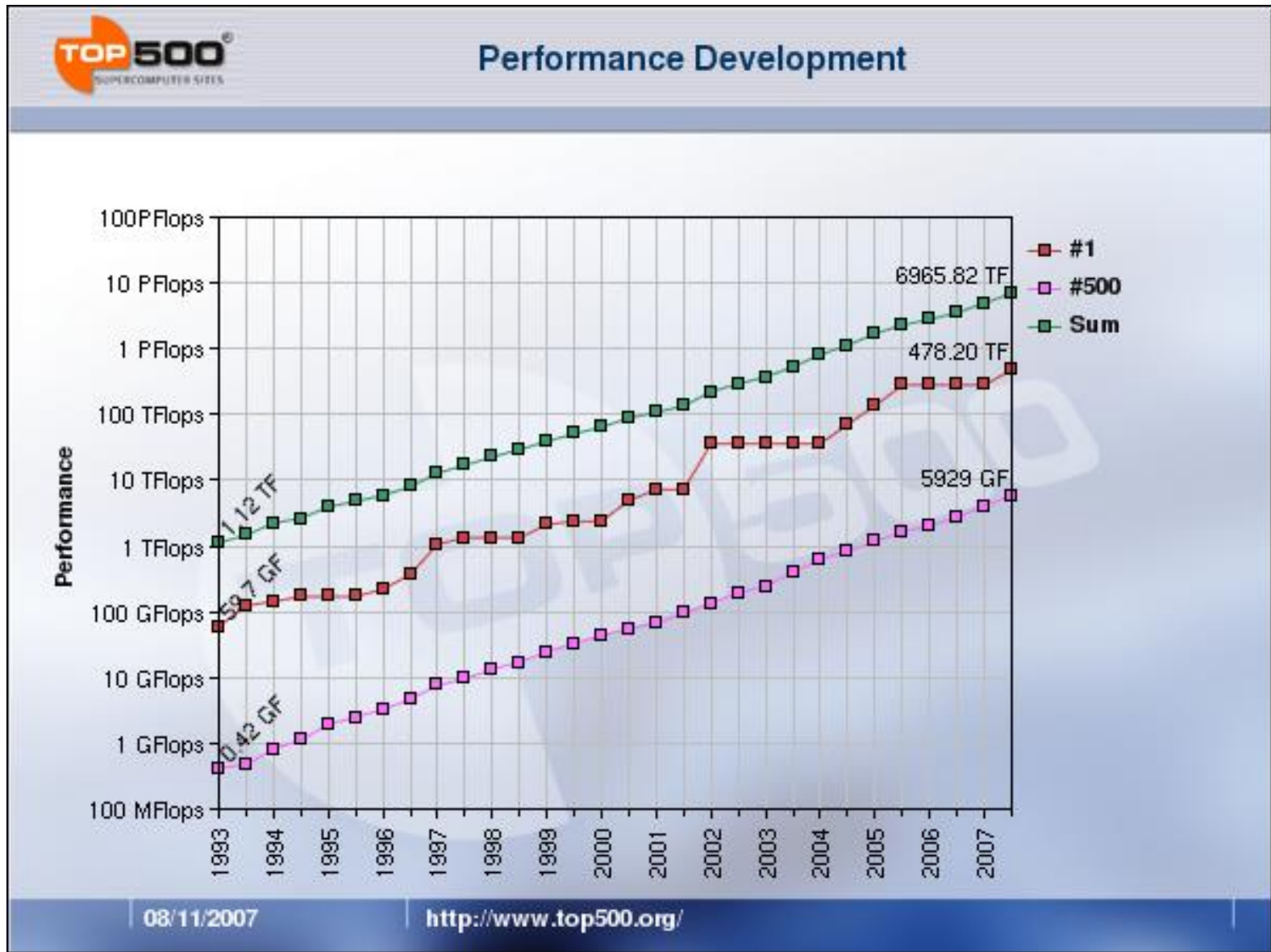
TOP 500 list:

Βγαίνει 2 φορές το χρόνο:

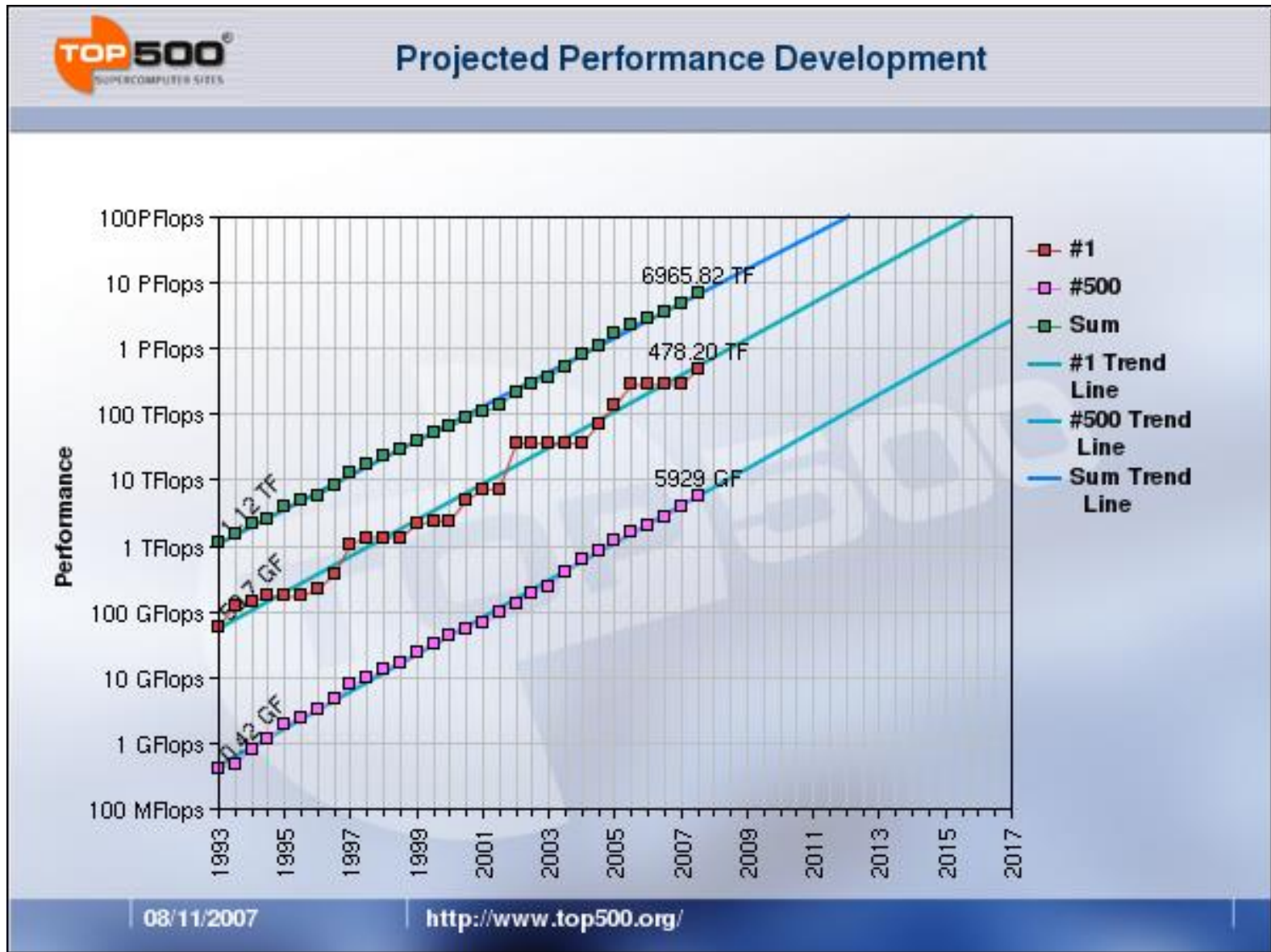
- Νοέμβριο
- Ιούνιο

www.top500.org

Supercomputing TOP 500 / Nov 2007



Supercomputing TOP 500 / Nov 2007



TOP 500 29th List (June 2007): The TOP10

	Manufacturer	Computer	Rmax [TF/s]	Installation Site	Country	Year	#cores
1	IBM	BlueGene/L eServer Blue Gene	280.6	DOE/NNSA/LLNL	USA	2005	131,072
2	Cray	Jaguar Cray XT3/XT4	101.7	DOE/ORNL	USA	2007	23,016
3	Sandia/Cray	Red Storm Cray XT3	101.4	DOE/NNSA/Sandia	USA	2006	26,544
4	IBM	BGW eServer Blue Gene	91.29	IBM Thomas Watson	USA	2005	40,960
5	IBM	New York BBlue eServer Blue Gene	82.16	Stony Brook/BNL	USA	2007	36,864
6	IBM	ASC Purple eServer pSeries p575	75.76	DOE/NNSA/LLNL	USA	2005	12,208
7	IBM	BlueGene/L eServer Blue Gene	73.03	RPI/CCNI	USA	2007	32,768
8	Dell	Abe PowerEdge 1955, Infiniband	62.68	NCSA	USA	2007	9,600
9	IBM	MareNostrum JS21 Cluster, Myrinet	62.63	Barcelona Supercomputing Center	Spain	2006	12,240
10	SGI	HLRB-II SGI Altix 4700	56.52	LRZ	Germany	2007	9,728

www.top500.org

TOP500 31th List (June 2008): The TOP10

	Manufacturer	Computer	Rmax [TF/s]	Installation Site	Country	Year	#cores
1	IBM	Roadrunner - BladeCenter QS22/LS21 Cluster, PowerXCell 8i 3.2 Ghz / Opteron DC 1.8 GHz , Voltaire Infiniband	1026	DOE/NNSA/LLNL United States	USA	2008	122.400
2	IBM	BlueGene/L - eServer Blue Gene Solution	478,2	DOE/NNSA/LLNL United States	USA	2007	212.992
3	IBM	Blue Gene/P Solution	450,3	Argonne National Laboratory	USA	2007	163.840
4	Sun Microsystems	Ranger - SunBlade x6420, Opteron Quad 2Ghz, Infiniband	326	Texas Advanced Computing Center/Univ. of Texas	USA	2008	62.976
5	Cray Inc.	Jaguar - Cray XT4 QuadCore 2.1 GHz	205	DOE/Oak Ridge National Laboratory	USA	2008	30.976
6	IBM	JUGENE - Blue Gene/P Solution	180	Forschungszentrum Juelich (FZJ)	Germany	2007	65.536
7	SGI	Encanto - SGI Altix ICE 8200, Xeon quad core 3.0 GHz	133	New Mexico Computing Applications Center (NMCAC)	USA	2007	14.336
8	Hewlett-Packard	EKA - Cluster Platform 3000 BL460c, Xeon 53xx 3GHz, Infiniband	132,8	Computational Research Laboratories, TATA SONS	India	2008	14.384
9	IBM	Blue Gene/P Solution	112,50	IDRIS	France	2008	40.960
10	SGI	SGI Altix ICE 8200EX, Xeon quad core 3.0 GHz	106,10	Total Exploration Production	France	2008	10.240

TOP500 37th List (June 2011): The TOP10

	Manufacturer	Computer	Rmax [TF/s]	Installation Site	Country	Year	#cores
1	Fujitsu	K computer, SPARC64 VIIIfx 2.0GHz, Tofu interconnect Fujitsu	8162	RIKEN Advanced Institute for Computational Science (AICS) Japan	Japan	2011	548,352
2	NuDT	Tianhe-1A, NUDT TH MPP, X5670 2.93Ghz 6C, NVIDIA GPU, FT-1000 8C NUDT	2566	National Supercomputing Center in Tianjin China	China	2010	186,368
3	Cray Inc.	Jaguar- Cray XT5-HE Opteron 6-core 2.6 GHz	1759	DOE/SC/Oak Ridge National Laboratory United States	USA	2009	224,162
4	Dawning	Nebulae - Dawning TC3600 Blade, Intel X5650, NVidia Tesla C2050 GPU	1271	National Supercomputing Centre in Shenzhen (NSCS) China	China	2010	120, 640
5	NEC/HP	Tsubame 2.0 - HP ProLiant SL390s G7 Xeon 6C X5670, Nvidia GPU, Linux/Windows	1192	GSIC Center, Tokyo Institute of Technology Japan	Japan	2010	73,278
6	Cray Inc.	Cielo - Cray XE6 8-core 2.4 GHz	1110	DOE/NNSA/LANL/SNL United States	USA	2011	142,272
7	SGI	Pleiades - SGI Altix ICE 8200EX/8400EX, Xeon HT QC 3.0/Xeon 5570/5670 2.93 Ghz, Infiniband	1088	NASA/Ames Research Center/NAS United States	USA	2011	111,104
8	Cray Inc.	Hopper - Cray XE6 12-core 2.1 GHz	1054	DOE/SC/LBNL/NERSC United States	USA	2010	153,408
9	Bull SA	Tera-100 - Bull bullx super-node S6010/S6030	1050	Commissariat a l'Energie Atomique (CEA) France	France	2010	138,368
10	IBM	Roadrunner - BladeCenter QS22/LS21 Cluster, PowerXCell 8i 3.2 Ghz / Opteron DC 1.8 GHz, Voltaire Infiniband IBM	1042	DOE/NNSA/LANL United States	USA	2009	122,400

Top 500 June 2015 (The same as 2014)

Name	Development	Hardware	Cores	Performance TFLOPS	Power (KW)
Tianhe-2(天河) (China)	National University of Defence Technology	Intel Xeon E5-2692 12C 2.2GHz, TH Express-2, Intel Xeon Phi31S1P	3120000	33862.7 (54902.4)	17808
Titan (USA)	DOE/SC/Oak Ridge National Lab.	Cray XK7, Opteron 6274 16C 2.2GHz, Cray Gemini Intercon. NVIDIA K20x	550640	17590 (27112.5)	8209
Sequoia (USA)	DOE/NNSA/LLNL	BlueGene/Q, Power BQC 16C 1.6GHz	1572864	17173.2 (20132.7)	7890
K (京) (Japan)	RIKEN AICS	SPARC VIIIfx 2.0GHz Tofu Interconnect Fujitsu	705024	10510 (11280)	12659.9
Mira (USA)	DOE/SC/Argonne National Lab.	BlueGene/Q Power BQC 1.6GHz	786432	8586.6 (10066.3)	3945

Top 5 were not changed since June.2013

Top 500 July 2016

Name	Development	Hardware	Cores	Performance TFLOPS	Power (KW)
TaihuLight(太湖之光)	National Supercomputing Center in Wuxi	ShinWei(神威) NRCCPC	10,649,600	93,014.6	15,371
Tianhe-2(天河)(China)	National University of Defence Technology	Intel Xeon E5-2692 12C 2.2GHz, TH Express-2, Intel Xeon Phi31S1P	3,120,000	33,862.7 (54,902.4)	17,808
Titan (USA)	DOE/SC/Oak Ridge National Lab.	Cray XK7, Opteron 6274 16C 2.2GHz, Cray Gemini Intercon. NVIDIA K20x	550,640	17,590 (27,112.5)	8,209
Sequoia (USA)	DOE/NNSA/LLNL	BlueGene/Q, Power BQC 16C 1.6GHz	1,572,864	17,173.2 (20,132.7)	7,890
K (京)(Japan)	RIKEN AICS	SPARC VIIIfx 2.0GHz Tofu Interconnect Fujitsu	705,024	10,510 (11,280)	12,659.90

TaihuLight got the first place for the first time in 3 years.

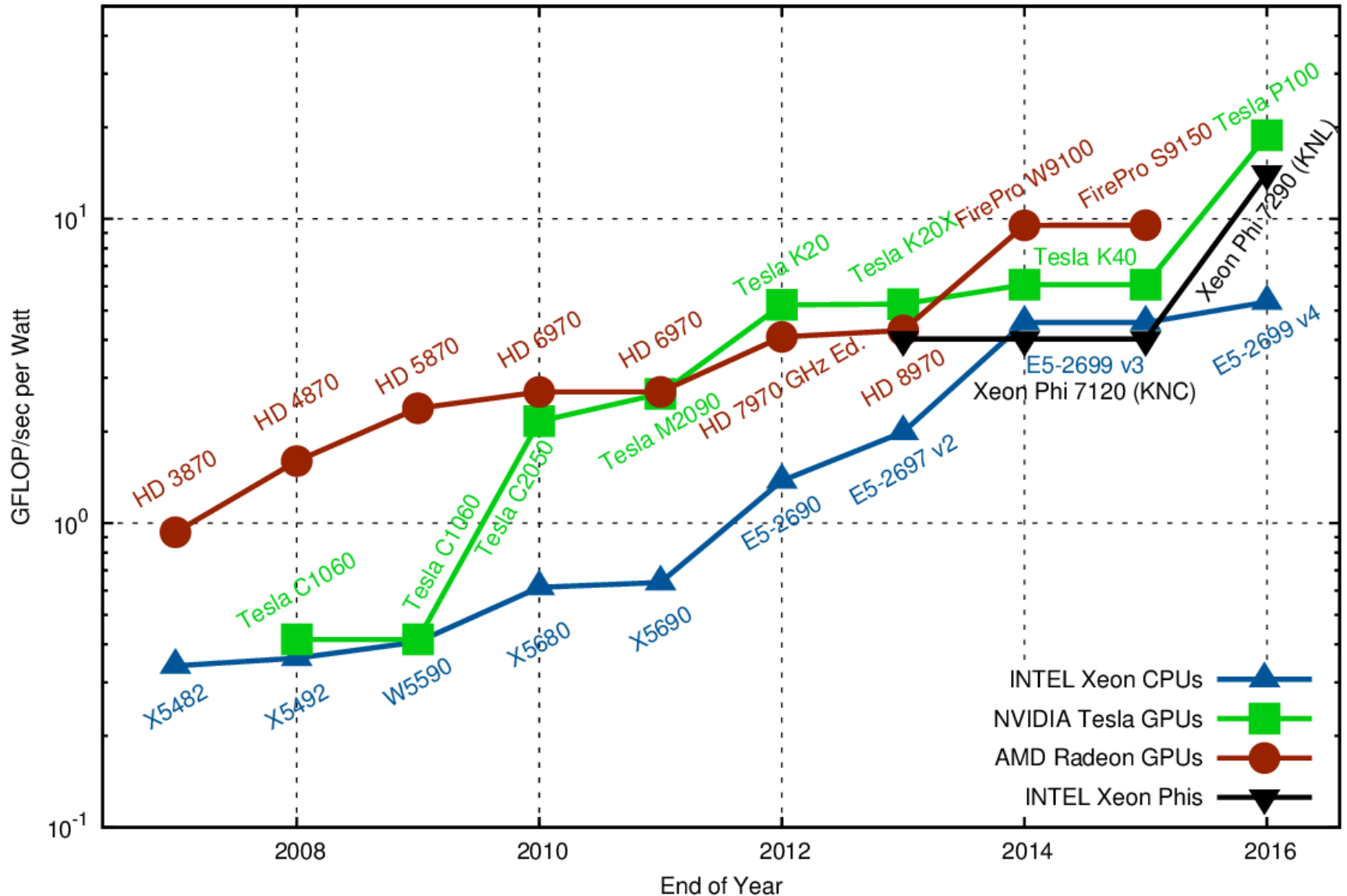
Top 500 June 2018

Name	Development	Hardware	Cores	Performance TFLOPS	Power (KW)
1	DOE/SC/Oak Ridge National Laboratory United States	Summit - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM	2,282,544	122,300.0	8,806
2	National Supercomputing Center in Wuxi China	Sunway TaihuLight - Sunway MPP, Sunway SW26010 260C 1.45GHz, Sunway NRCPC	10,649,600	93,014.6	15,371
3	DOE/NNSA/LLNL United States	Sierra - IBM Power System S922LC, IBM POWER9 22C 3.1GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM	1,572,480	71,610.0	
4	National Super Computer Center in Guangzhou China	Tianhe-2A - TH-IVB-FEP Cluster, Intel Xeon E5-2692v2 12C 2.2GHz, TH Express-2, Matrix-2000 NUDT	4,981,760	61,444.5	18,482
5	National Institute of Advanced Industrial Science and Technology (AIST) Japan	AI Bridging Cloud Infrastructure (ABCI) - PRIMERGY CX2550 M4, Xeon Gold 6148 20C 2.4GHz, NVIDIA Tesla V100 SXM2, Infiniband EDR Fujiitsu	391,680	19,880.0	1,649

Top Green 500 June 2018

Name	Rank in top 500	Hardware	Cores	Performance TFLOPS	Power (kW)	Power Efficiency (GFlops/watts)
1	359	Shoubu system B - ZettaScaler-2.2, Xeon D-1571 16C 1.3GHz, Infiniband EDR, PEZY-SC2 , PEZY Computing / Exascaler Inc. Advanced Center for Computing and Communication, RIKEN Japan	794,400	857.6	47	18.404
2	419	Suiren2 - ZettaScaler-2.2, Xeon D-1571 16C 1.3GHz, Infiniband EDR, PEZY-SC2 , PEZY Computing / Exascaler Inc. High Energy Accelerator Research Organization /KEK Japan	762,624	798.0	47	16.835
3	385	Sakura - ZettaScaler-2.2, Xeon E5-2618Lv3 8C 2.3GHz, Infiniband EDR, PEZY-SC2 , PEZY Computing / Exascaler Inc. PEZY Computing K.K. Japan	794,400	824.7	50	16.657
4	227	DGX SaturnV Volta - NVIDIA DGX-1 Volta36, Xeon E5-2698v4 20C 2.2GHz, Infiniband EDR, NVIDIA Tesla V100 , Nvidia NVIDIA Corporation United States	22,440	1,070.0	97	15.113
5	1	Summit - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband , IBM DOE/SC/Oak Ridge National Laboratory United States	2,282,544	122,300.0	8,806	13.889

Theoretical Peak Floating Point Operations per Watt, Double Precision



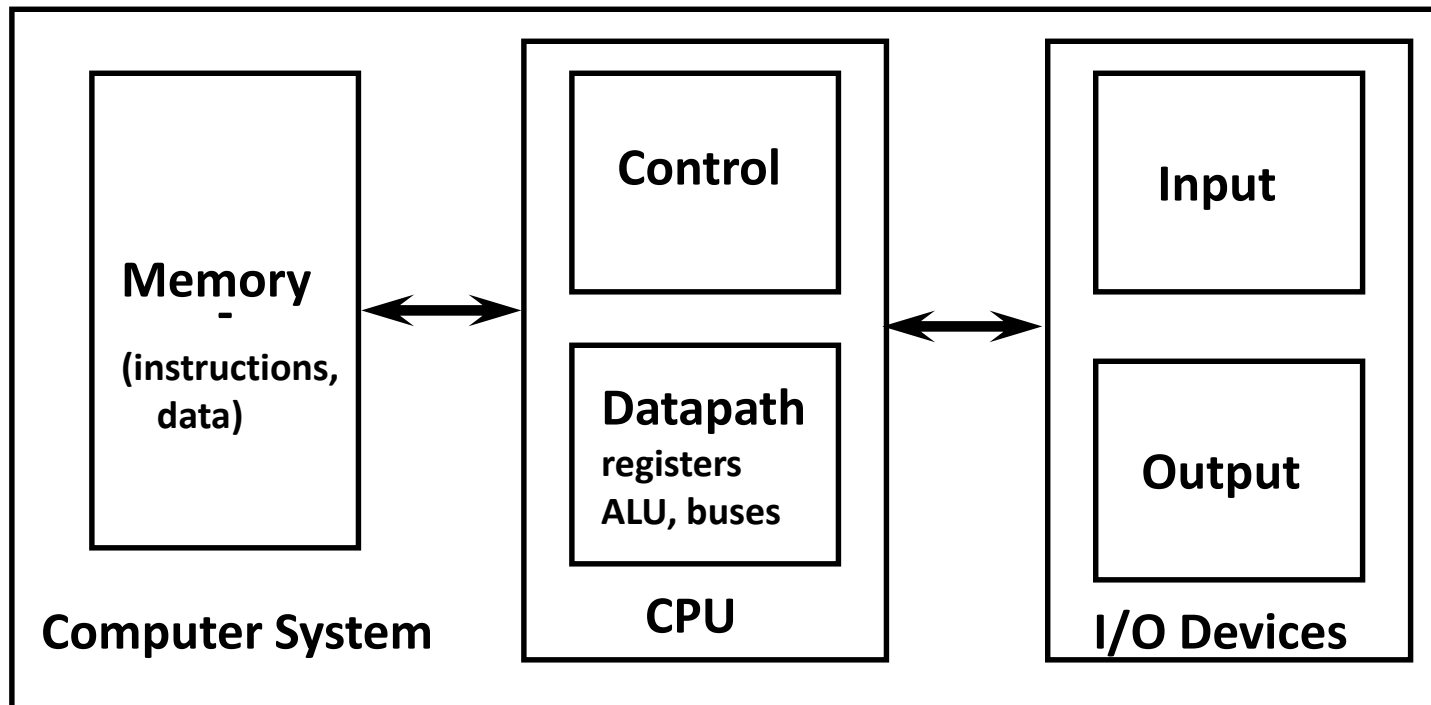
Β. Μέρος

Δομικά στοιχεία Υπολογιστή

Το Υπολογιστικό Μοντέλο Von-Neumann (1945)

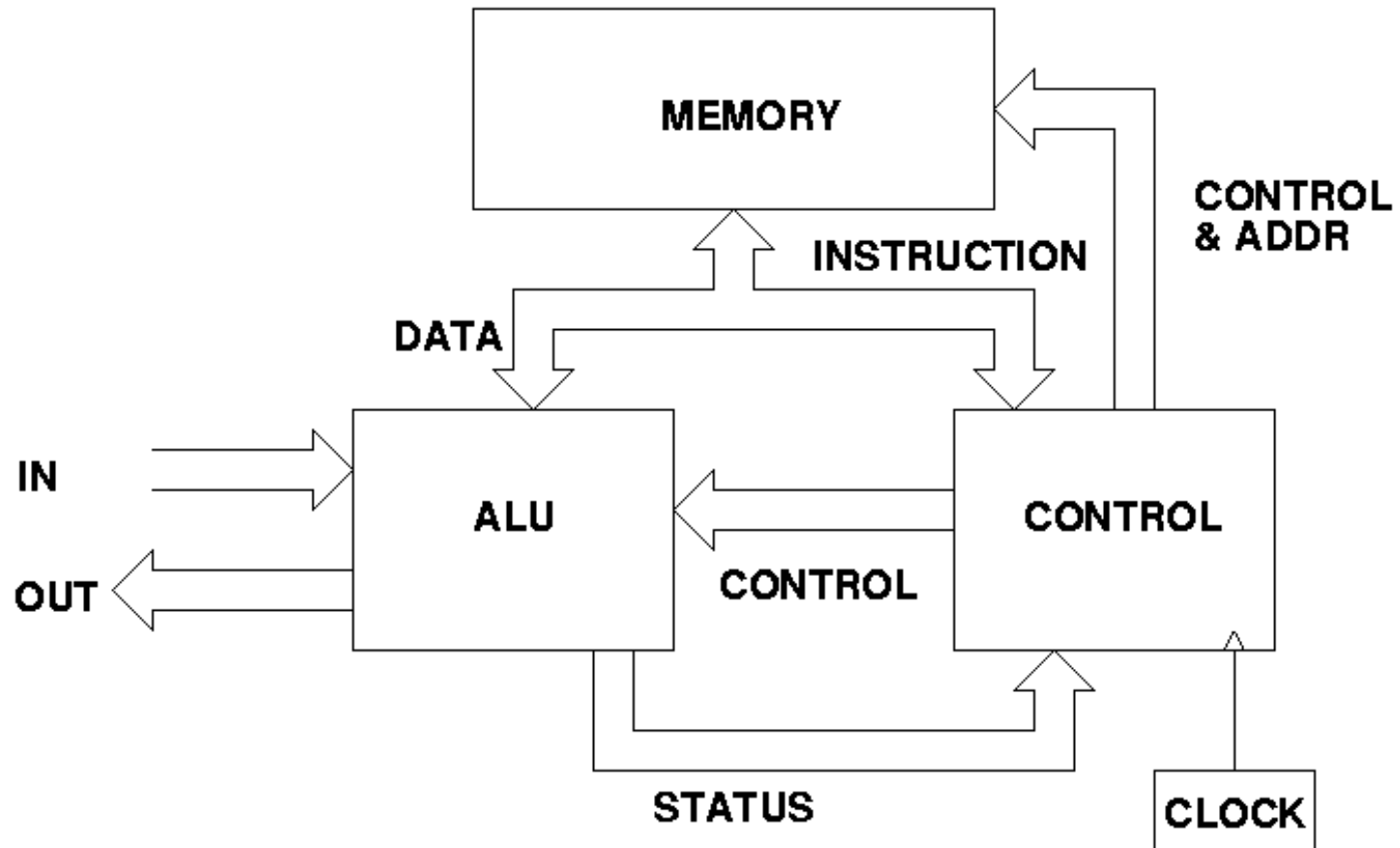
Βασικές μονάδες ενός υπολογιστικού συστήματος:

- Κεντρική Μονάδα Επεξεργασίας (Central Processing Unit - CPU): Control Unit (instruction decode, sequencing of operations), Datapath (registers, arithmetic and logic unit, buses).
- Μνήμη (memory): Αποθήκευση εντολών και τελεστών.
- Είσοδος/Εξοδος (Input/Output - I/O).
- **Η έννοια του «αποθηκευμένου προγράμματος»:** Εντολές από ένα σύνολο εντολών εξάγονται από τη μνήμη και εκτελούνται μία-μία.

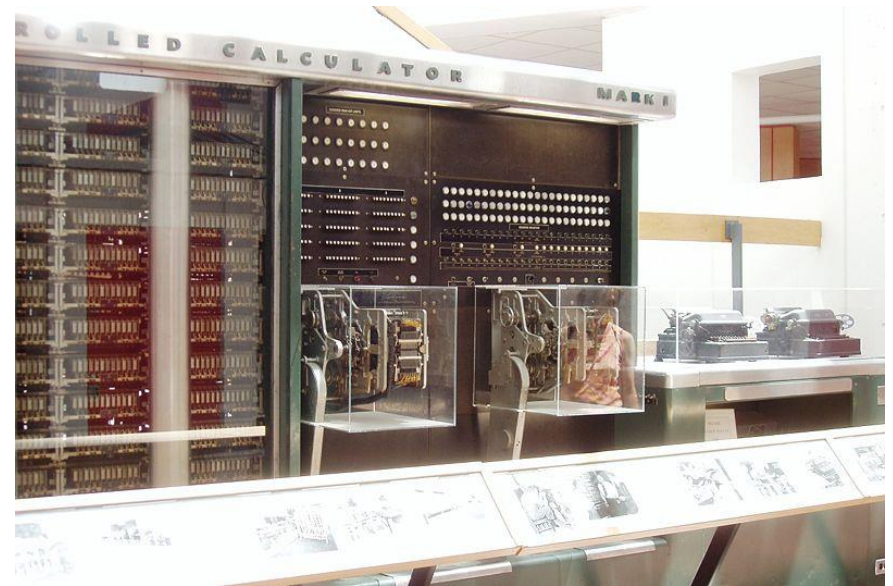
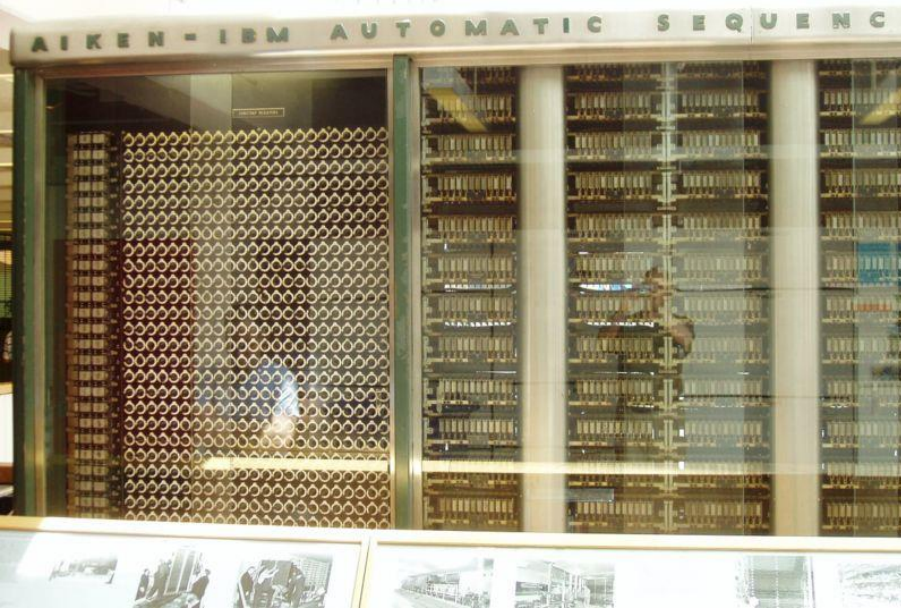


PRINCETON (VON NEUMAN) ARCHITECTURE

MICROPROCESSOR

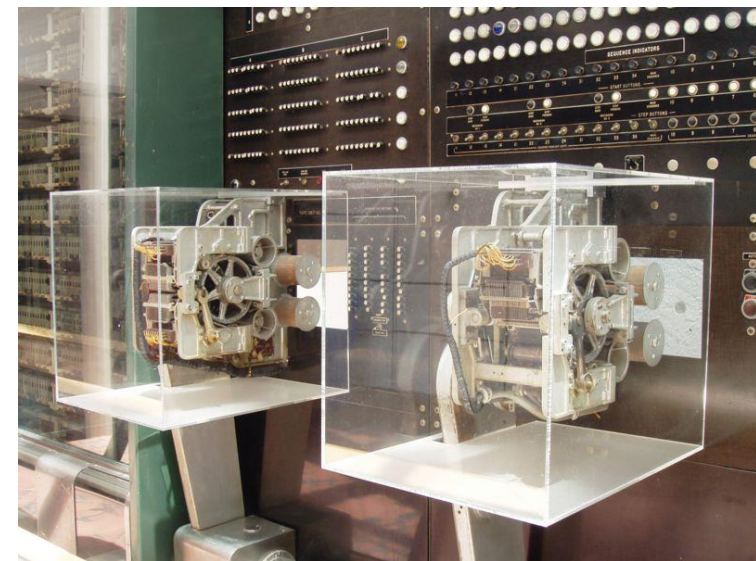


IBM Automatic Sequence Controlled Calculator (ASCC)



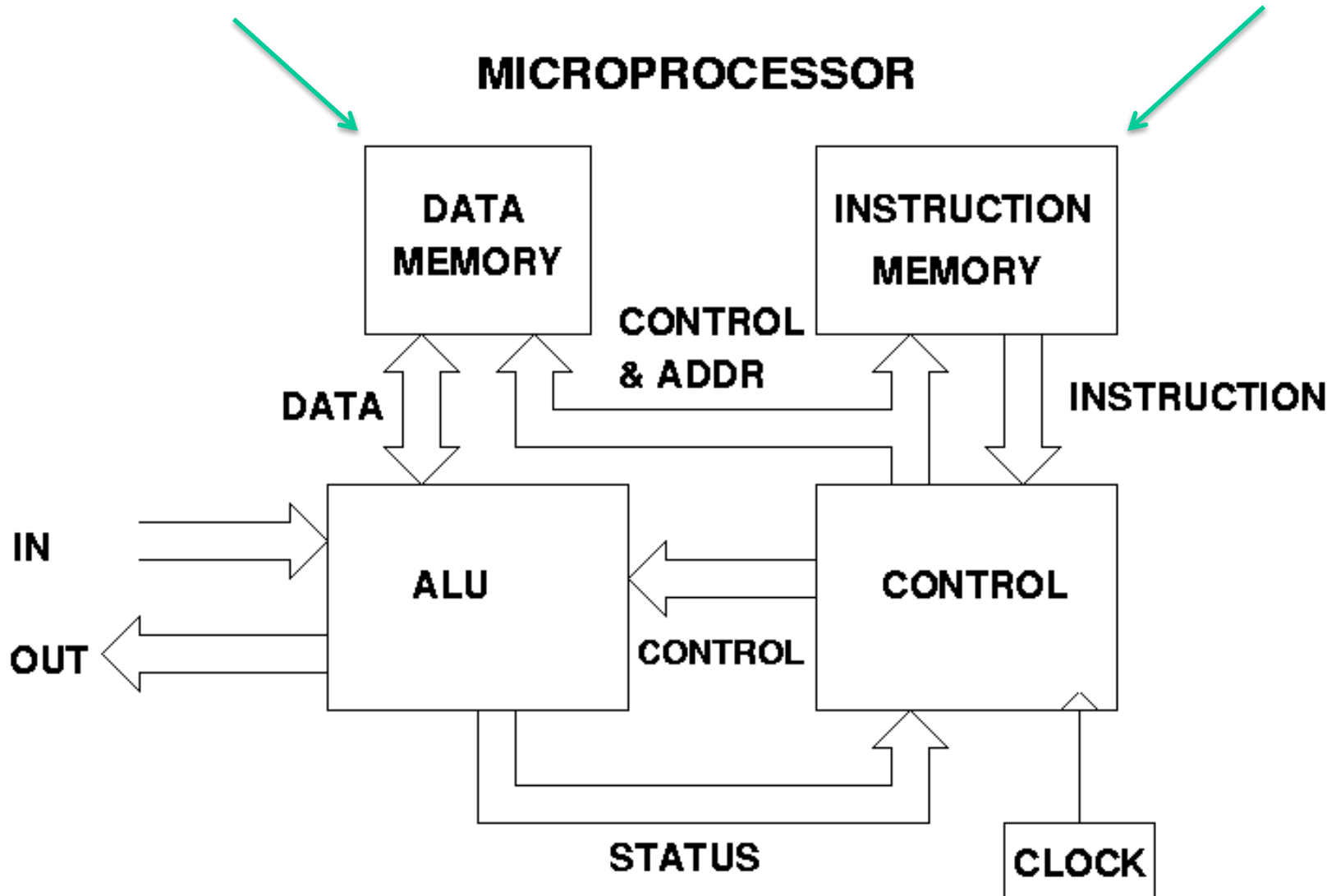
- 765,000 components
- hundreds of miles of wire
- size 16 m in length, 2.4 m in height, 61 cm deep.
- 4500 kg

Harvard Mark I – IBM ASCC 1944 (instructions on punched tape (24 bits wide) and data in electro-mechanical counters (23 digits wide)



HARVARD ARCHITECTURE

MICROPROCESSOR

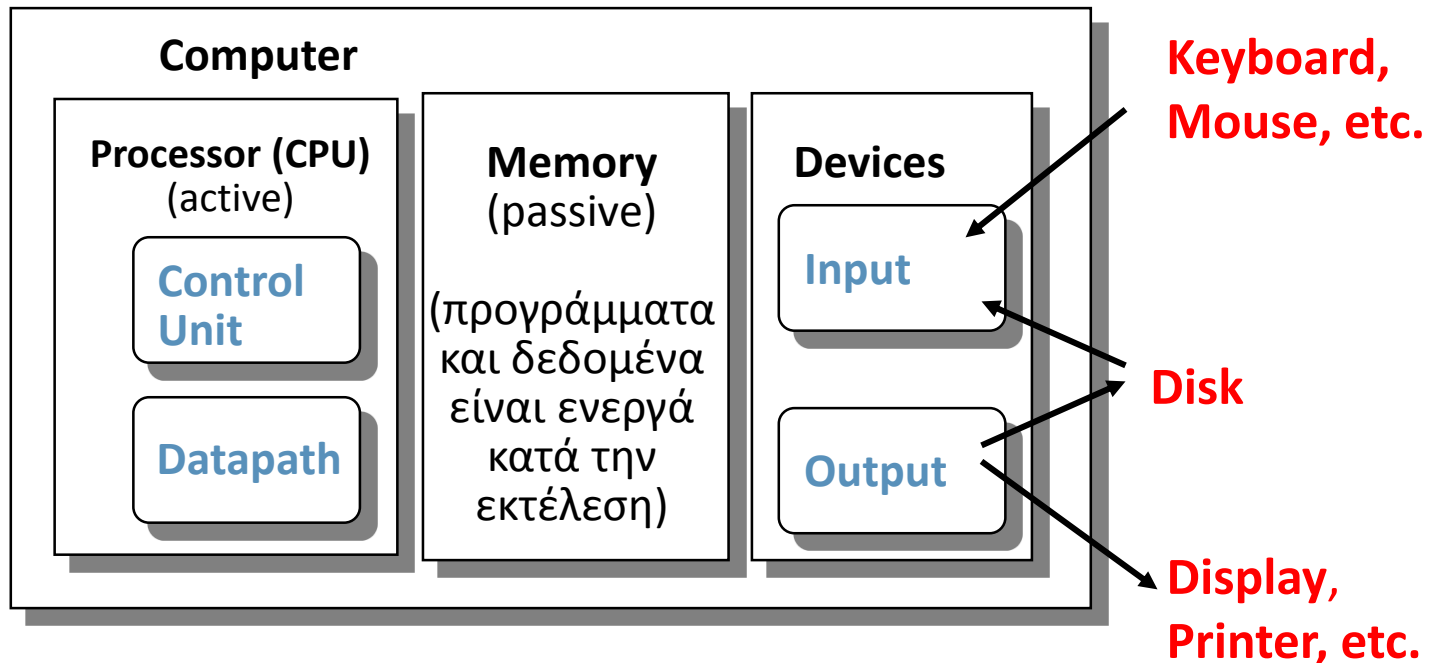


Συστατικά τυπικού Υπολογιστή

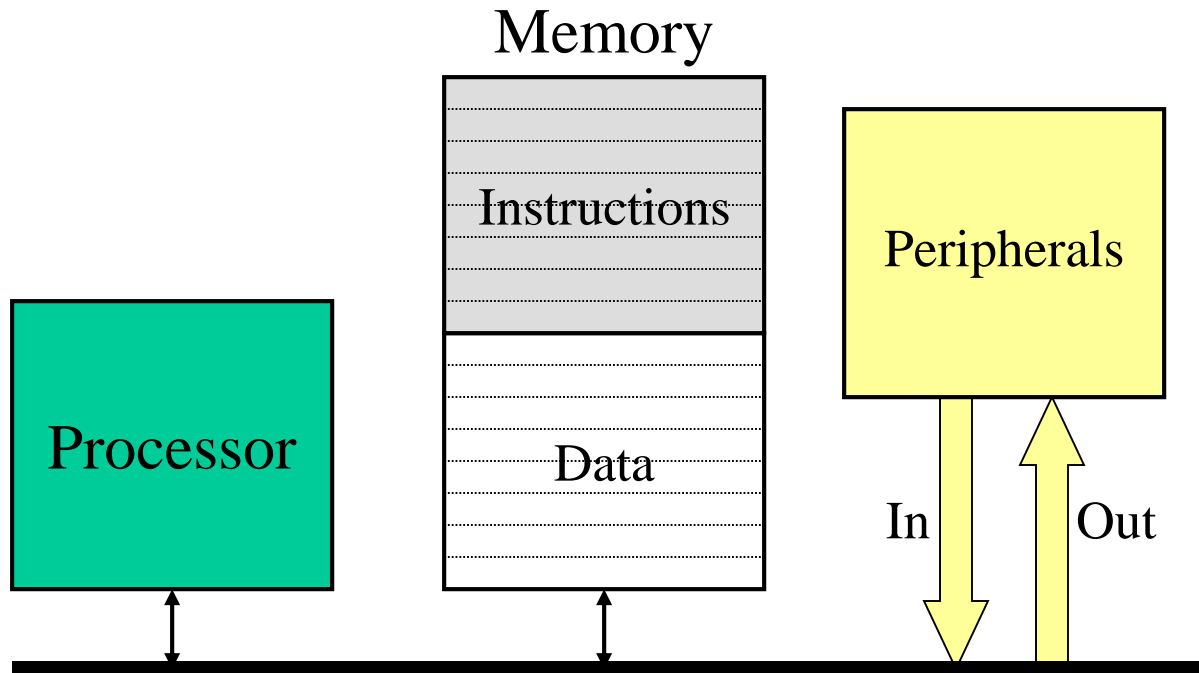
Πέντε είναι τα κλασσικά συστατικά στοιχεία των υπολογιστών:
1. Control Unit; 2. Datapath; 3. Memory; 4. Input; 5. Output



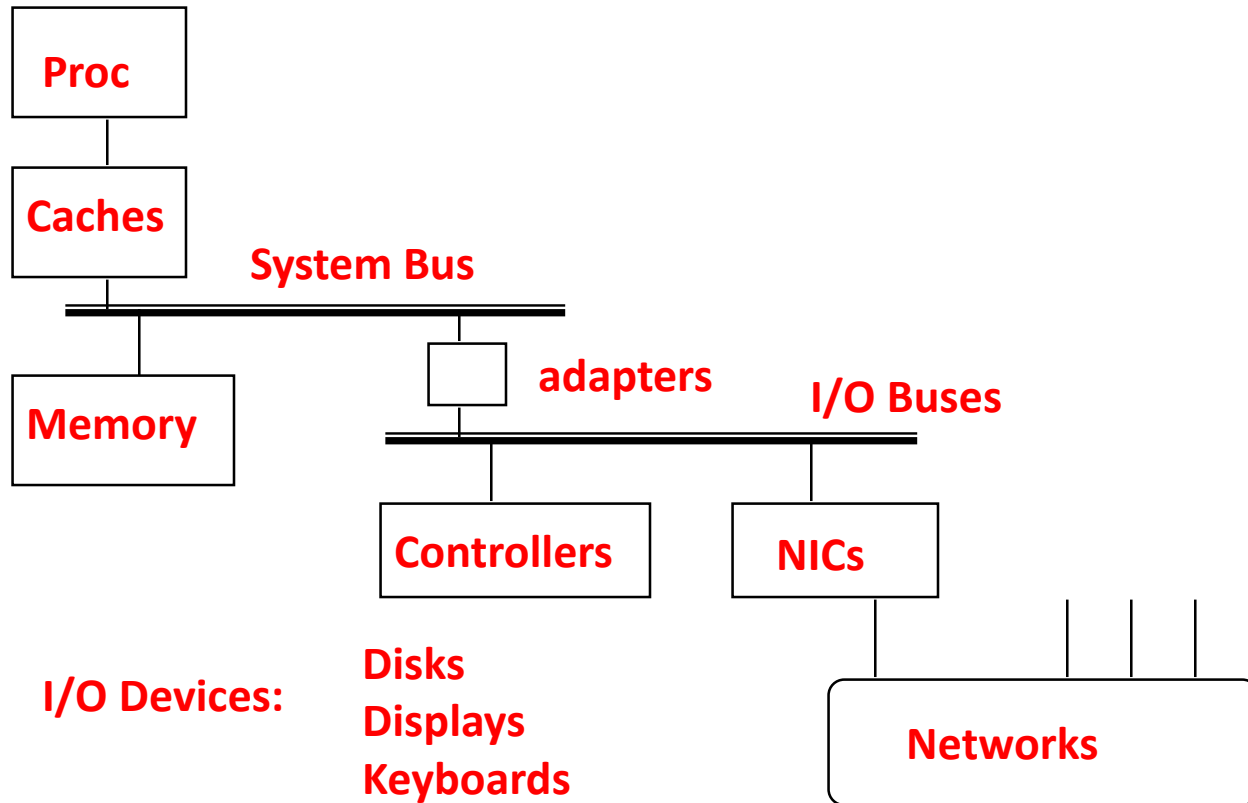
Processor



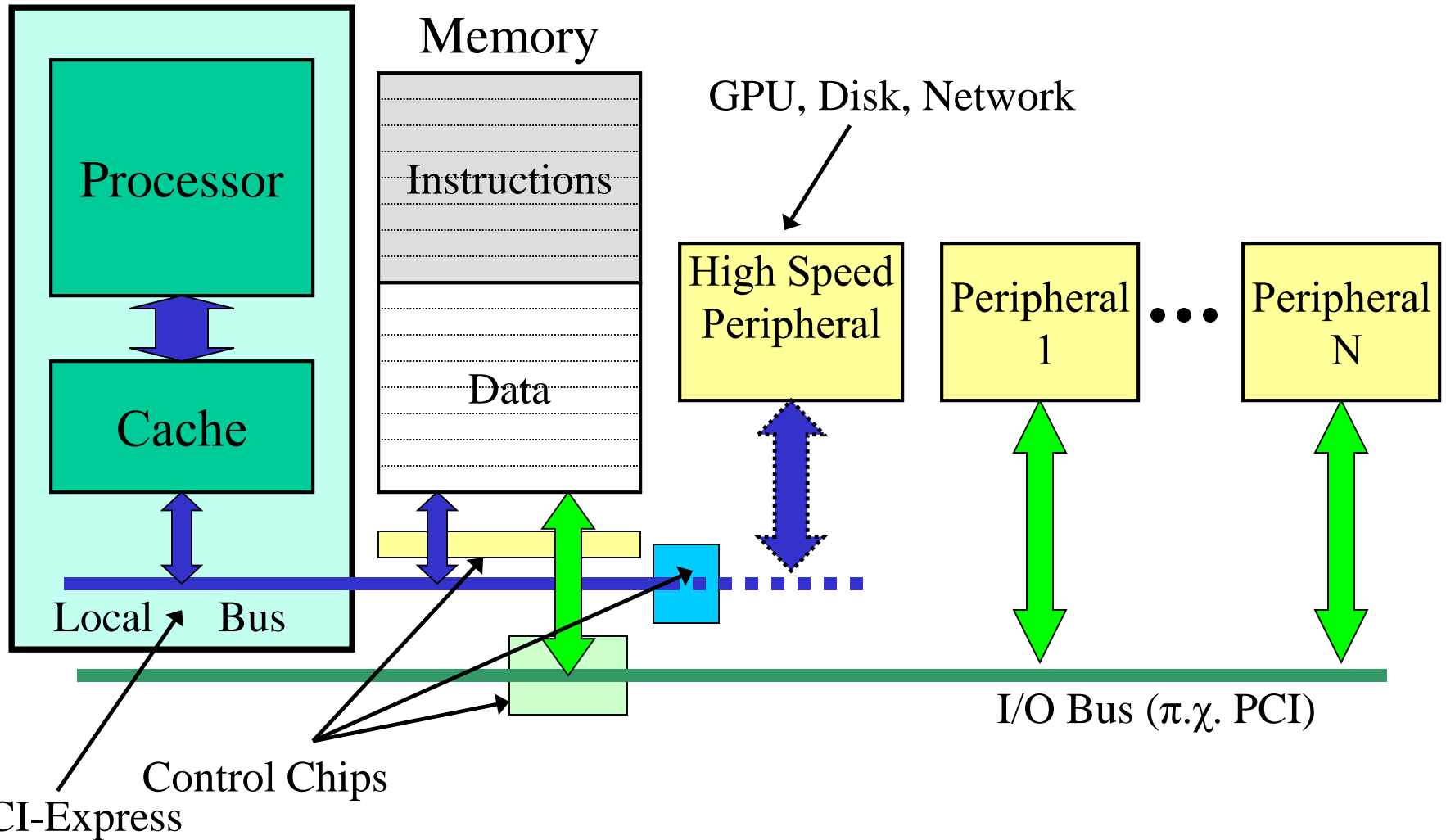
Απλό Μοντέλο Υπολογιστή

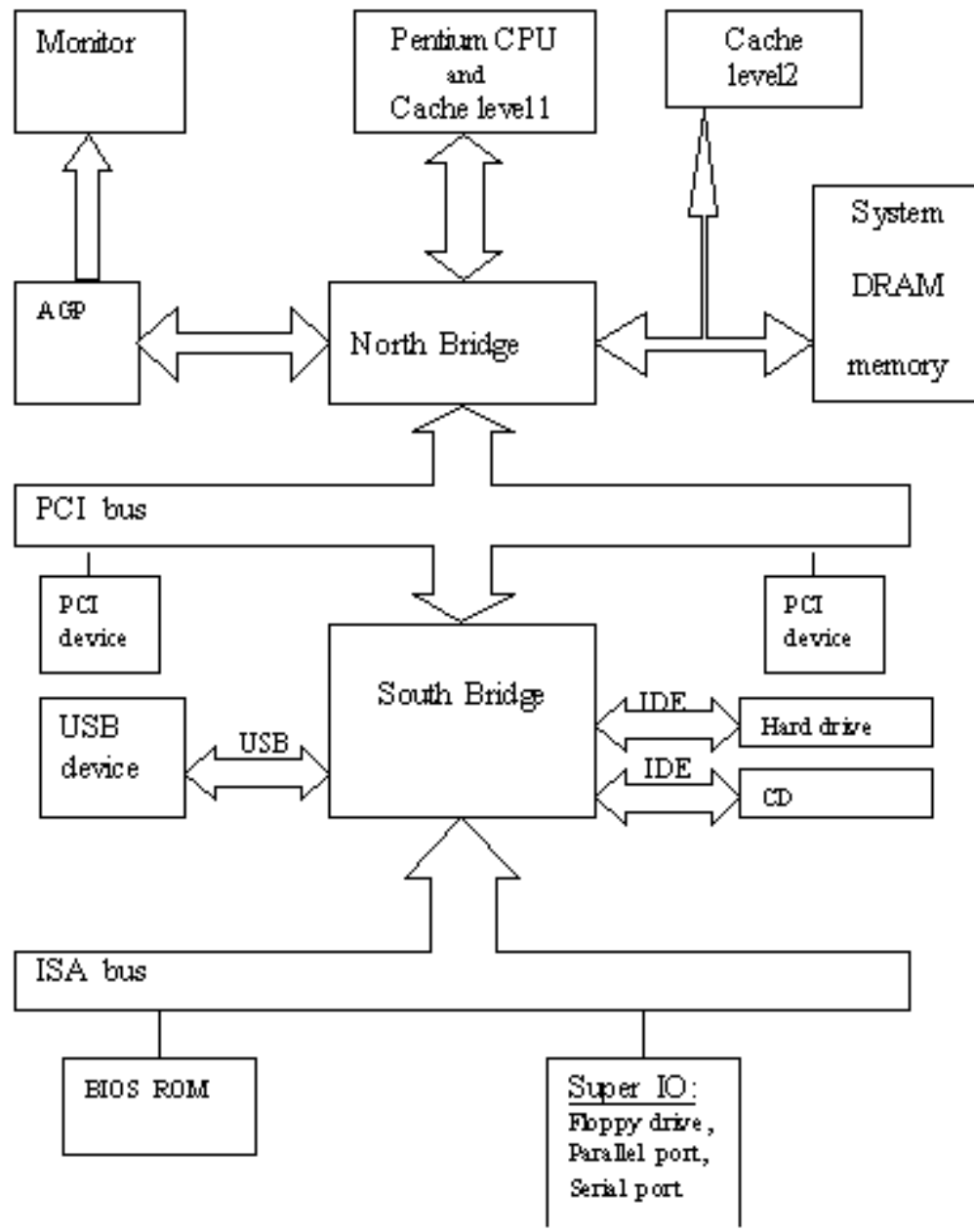


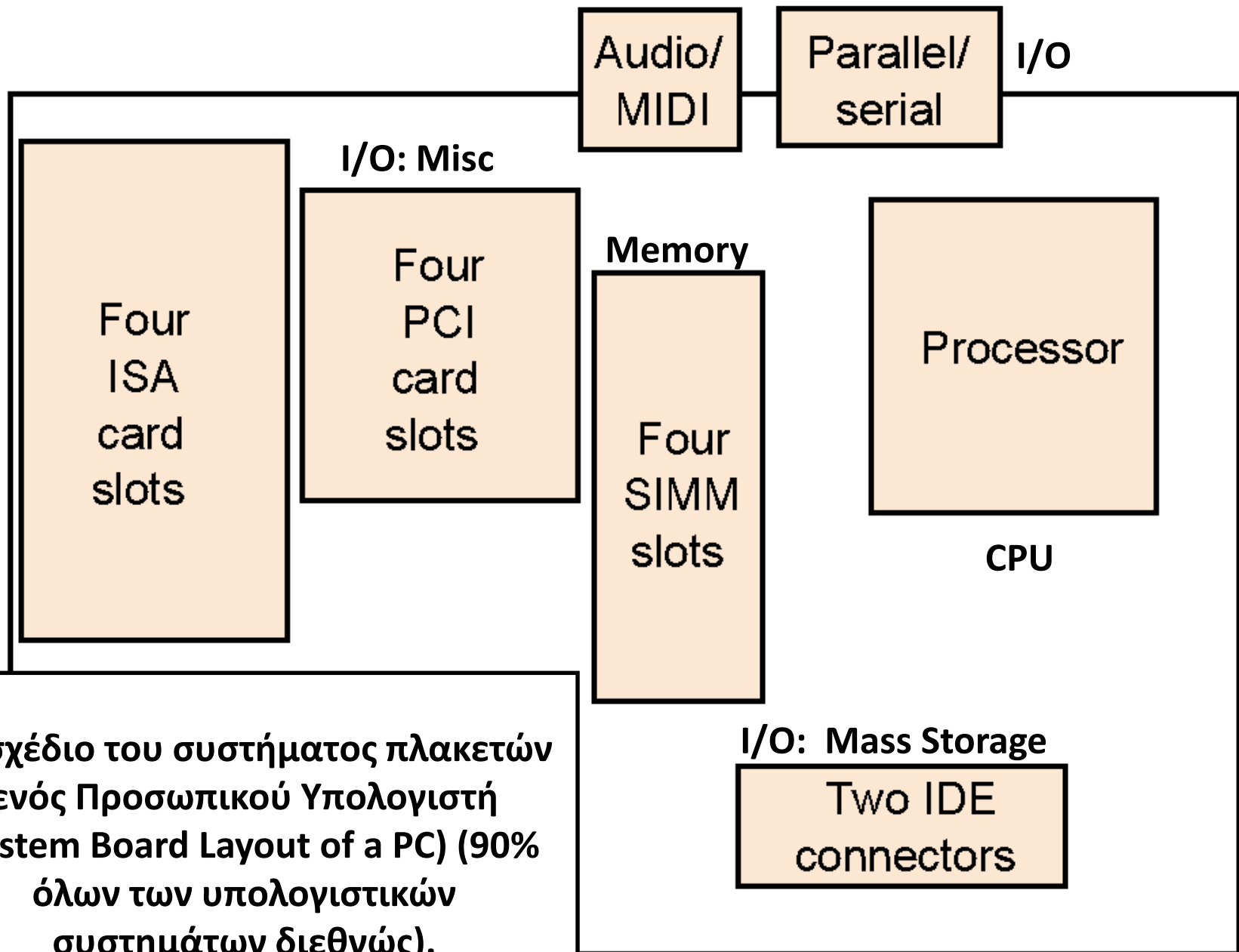
Computer System Components



(Πιο+) Ρεαλιστικό Μοντέλο Υπολογιστή







Το σχέδιο του συστήματος πλακετών ενός Προσωπικού Υπολογιστή (System Board Layout of a PC) (90% όλων των υπολογιστικών συστημάτων διεθνώς).

Αφαιρετική σκέψη (Abstraction)

Communications of the ACM, April 2007

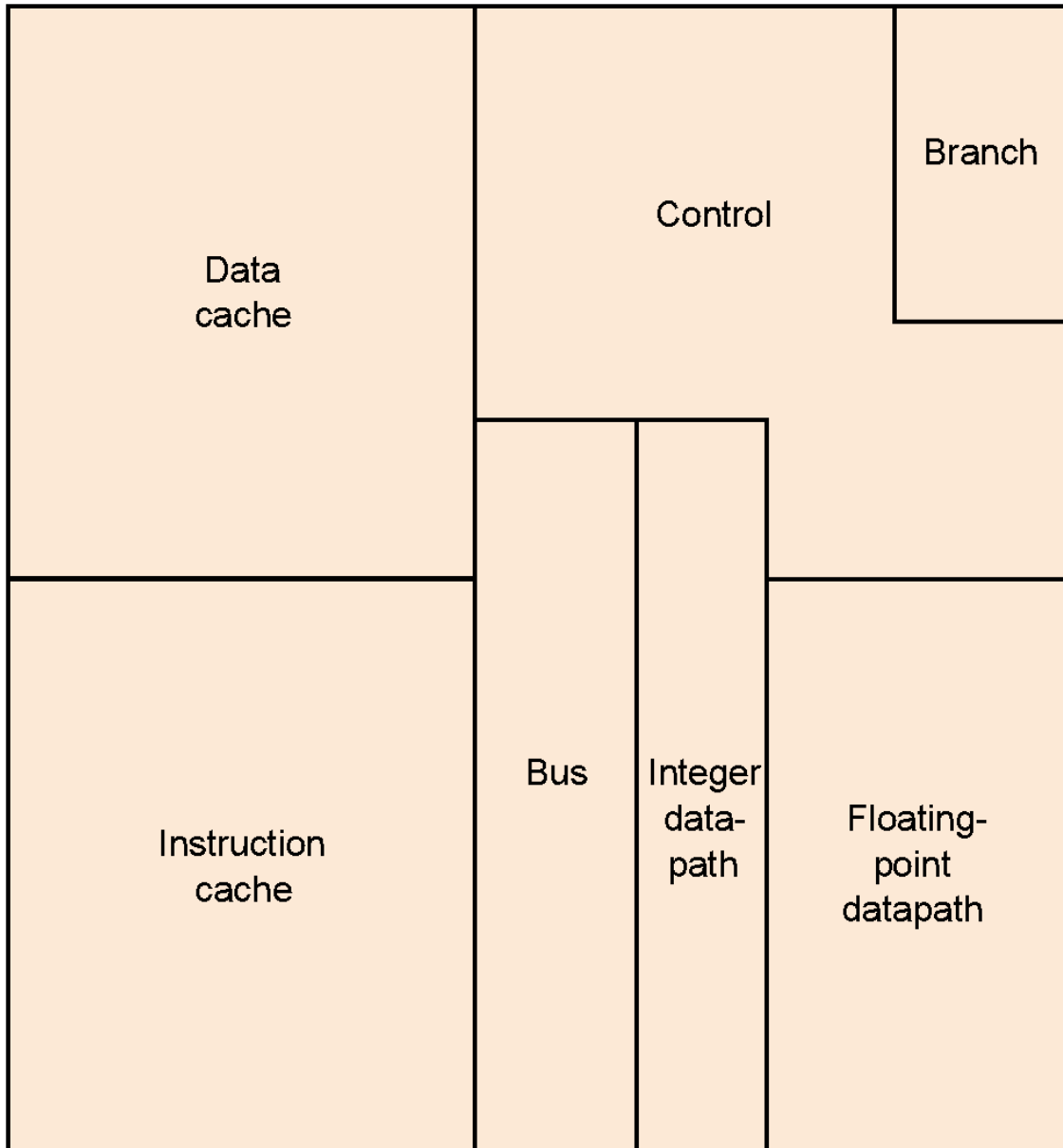
IS ABSTRACTION THE KEY TO COMPUTING?

Why is it that some software engineers and computer scientists are able to produce clear, elegant designs and programs, while others cannot? Is it possible to improve these skills through education and training? Critical to these questions is the notion of abstraction.

By JEFF KRAMER

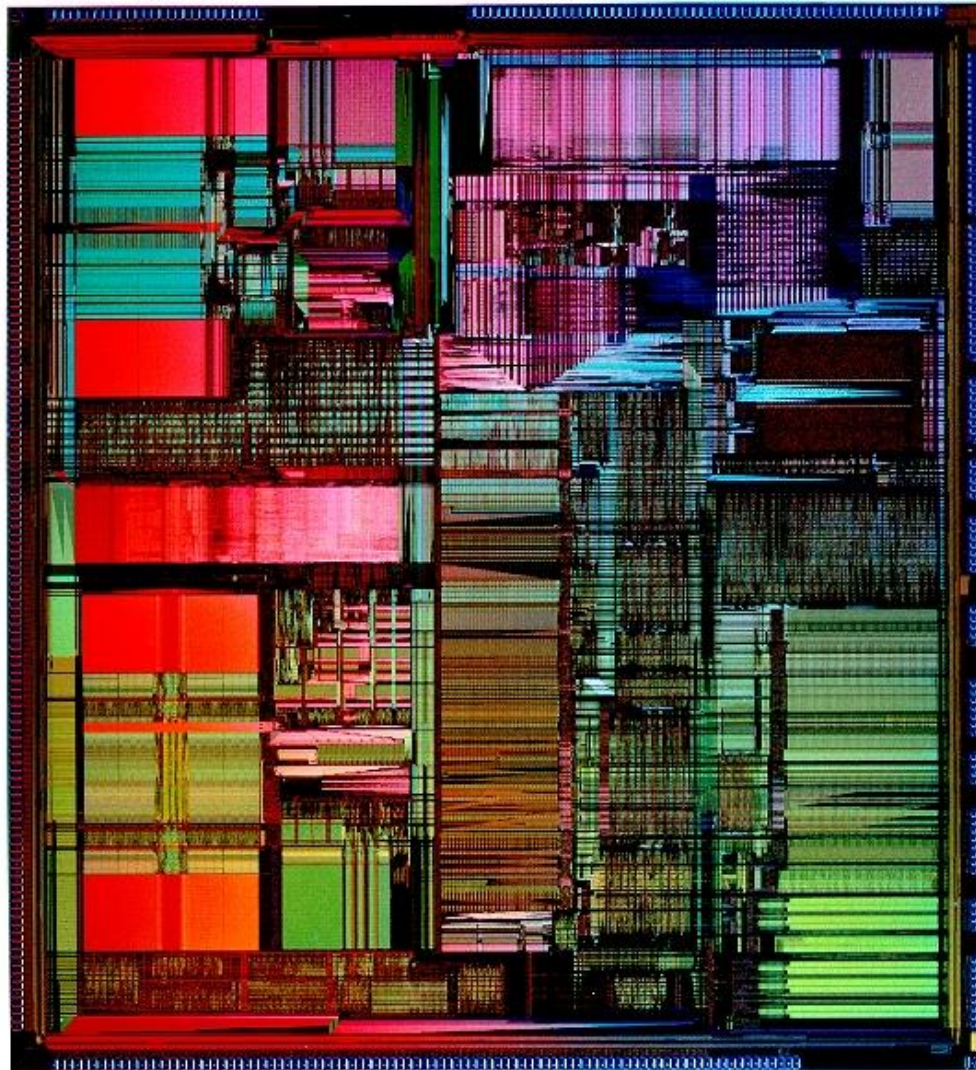
Οργάνωση της CPU

- Σχεδιασμός του Datapath:
 - Δυνατότητες & Επίδοση των χαρακτηριστικών των λειτουργικών μονάδων (FUs):
 - (e.g., Registers, ALU, Shifters, Logic Units, ...)
 - Τρόποι διασύνδεσης των στοιχείων (σύνδεση διαδρόμων, multiplexors, etc.).
 - Πώς ρέει η πληροφορία μεταξύ των στοιχείων του Η/Υ.
- Σχεδιασμός της Μονάδας Ελέγχου (Control Unit):
 - Λογική και μέσα ελέγχου της ροής πληροφορίας.
 - Έλεγχος και συντονισμός της λειτουργίας των λειτουργικών μονάδων (FUs) για την κατανόηση της Αρχιτεκτονικής του Instruction Set Architecture που σκοπεύουμε να υλοποιήσουμε (υλοποιείται είτε με ένα μηχάνημα πεπερασμένων καταστάσεων (finite state) ή με μικροπρόγραμμα).
- Περιγραφή του Hardware description με μία κατάλληλη γλώσσα, πιθανώς χρησιμοποιώντας (RTN).



Διάταξη ενός Τυπικού Μικροεπεξεργαστή: The Intel Pentium Classic

INTEL PENTIUM (1993)



8K L1 data cache

2-way set associative

32 bytes block size

Pseudo-LRU

Write-through/Write-back

8KB L1 instruction cache

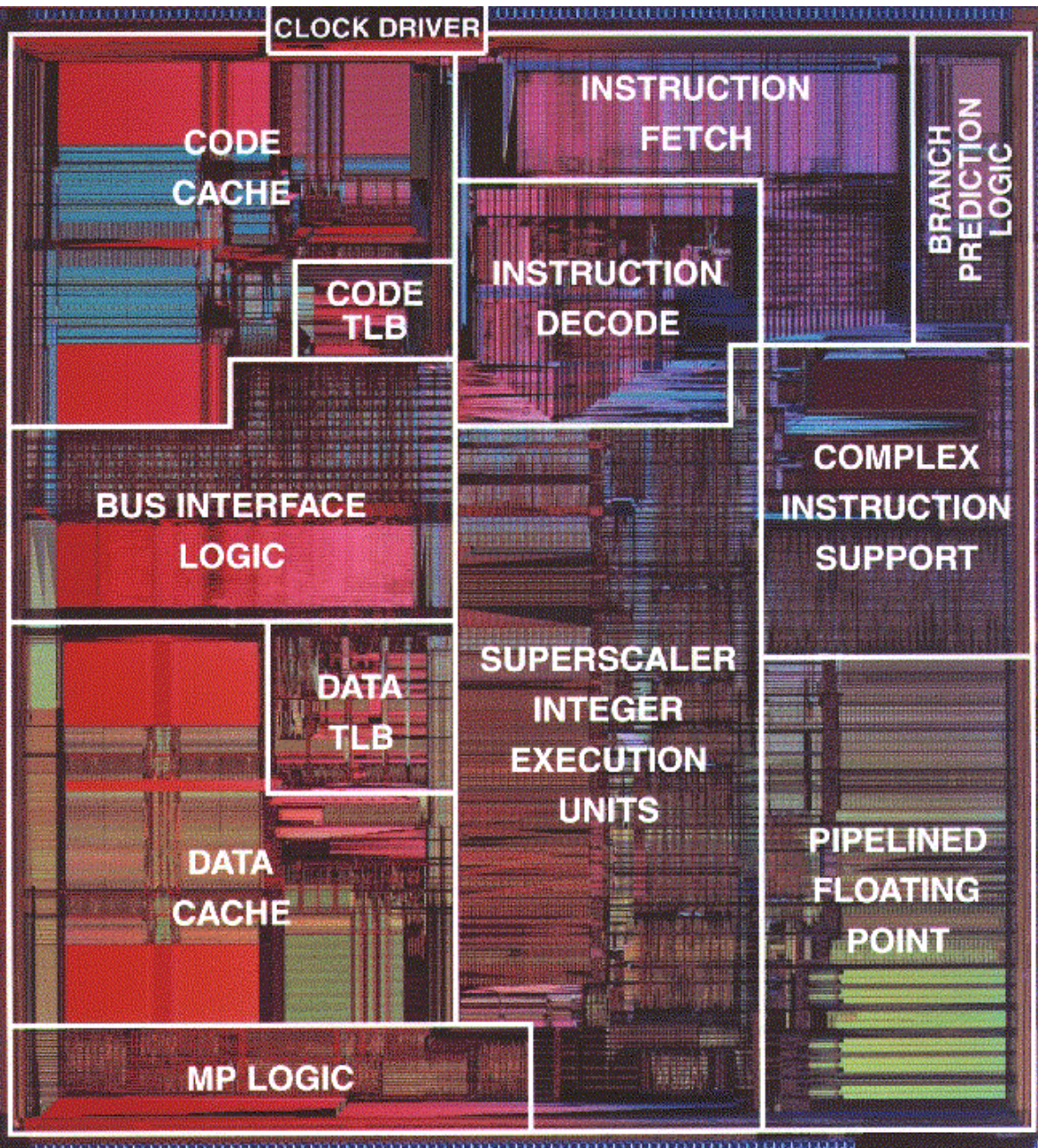
2-way set associative

32 bytes block size

Pseudo-LRU

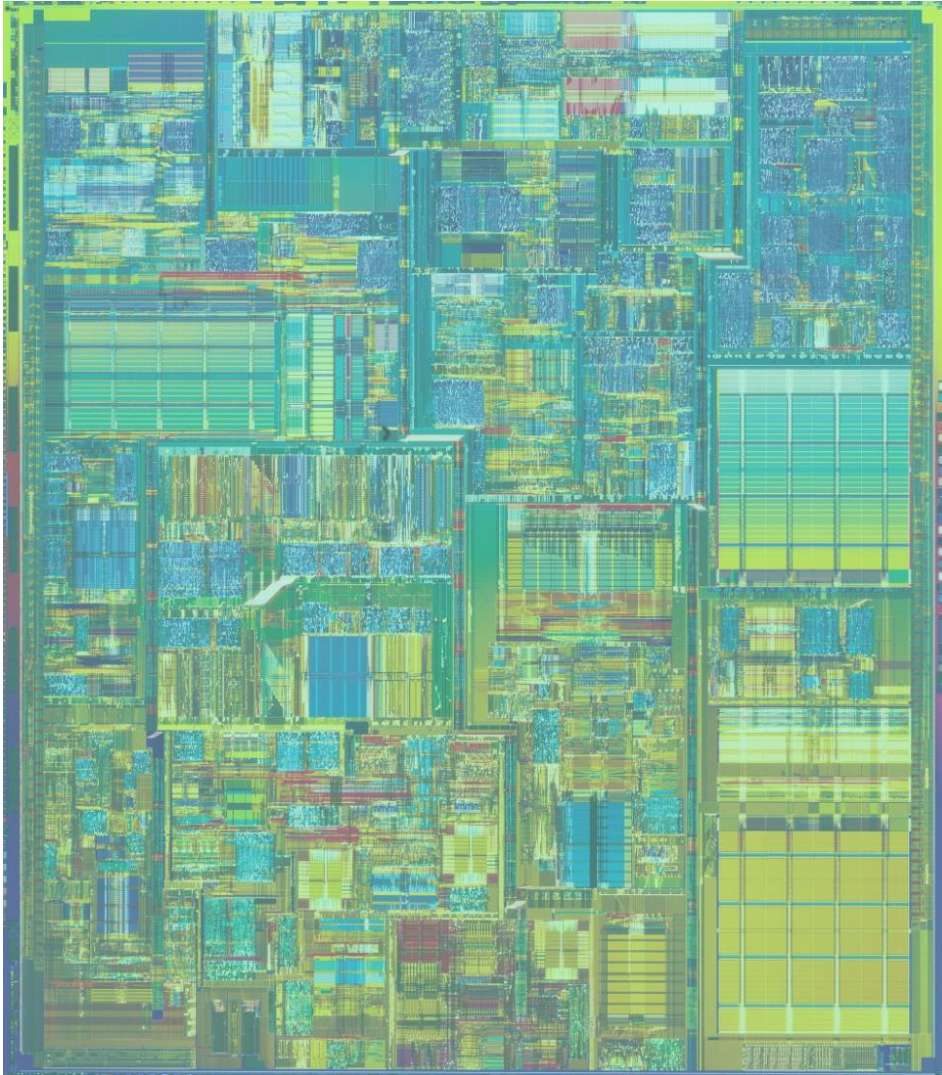
Read-Only cache

L2 external cache (not on same die)



Διάταξη ενός Τυπικού Μικροεπεξεργαστή : The Intel Pentium Classic

INTEL PENTIUM 4 (2001)



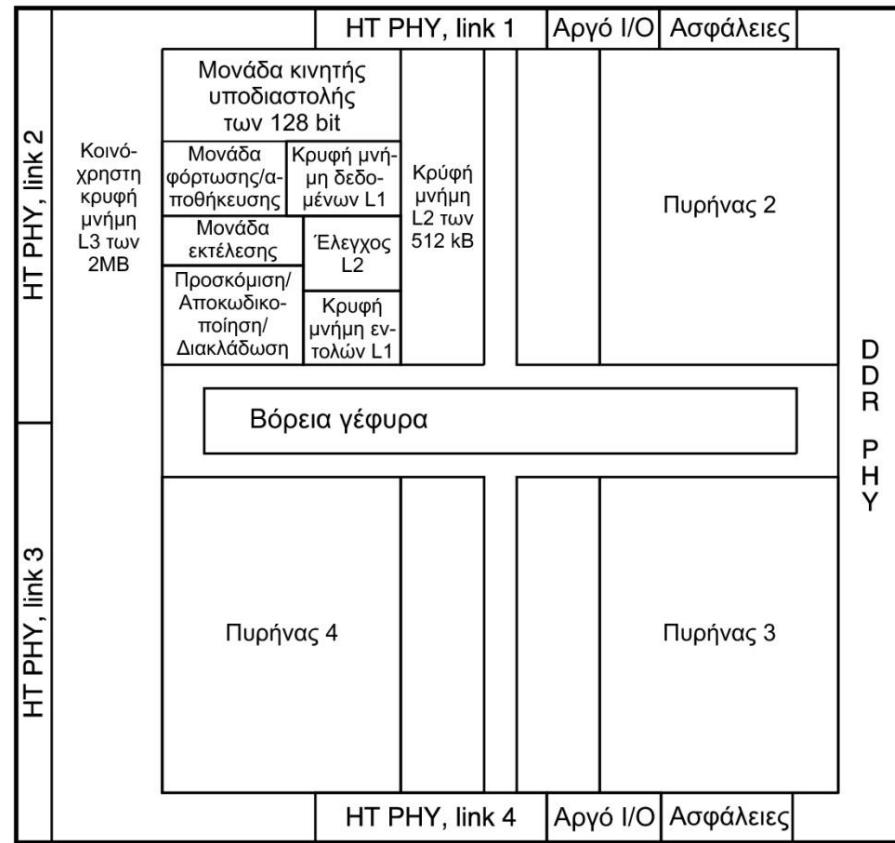
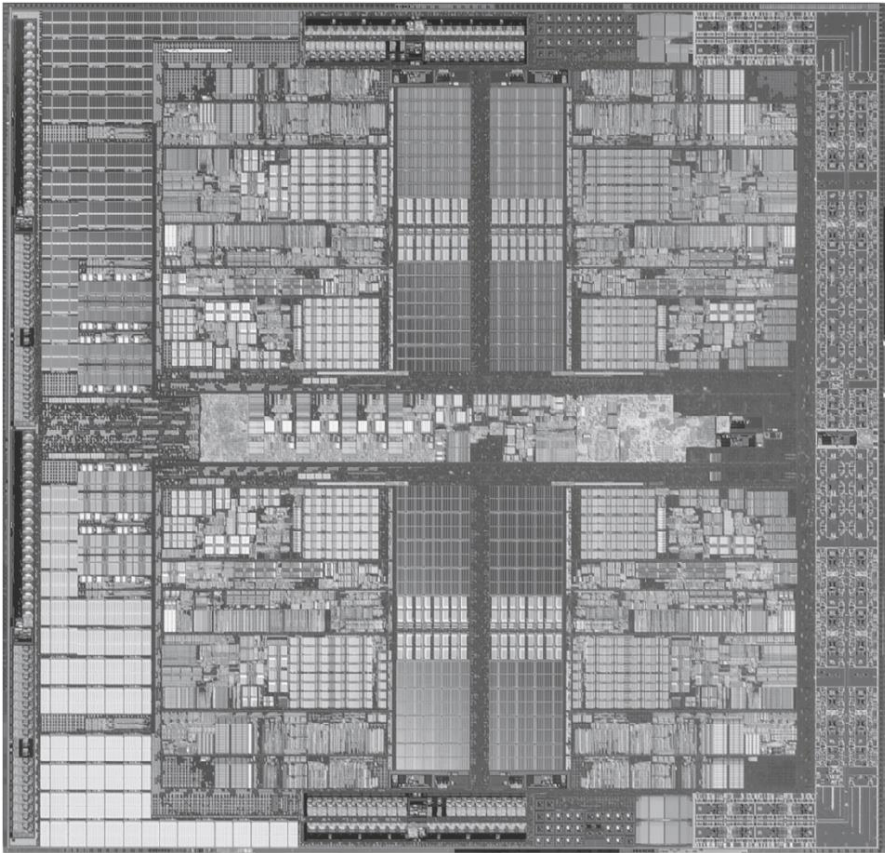
8K L1 data cache

- 4-way set associative
- 64 bytes block size
- Approximated LRU
- Write-through

96KB L1 instruction trace cache

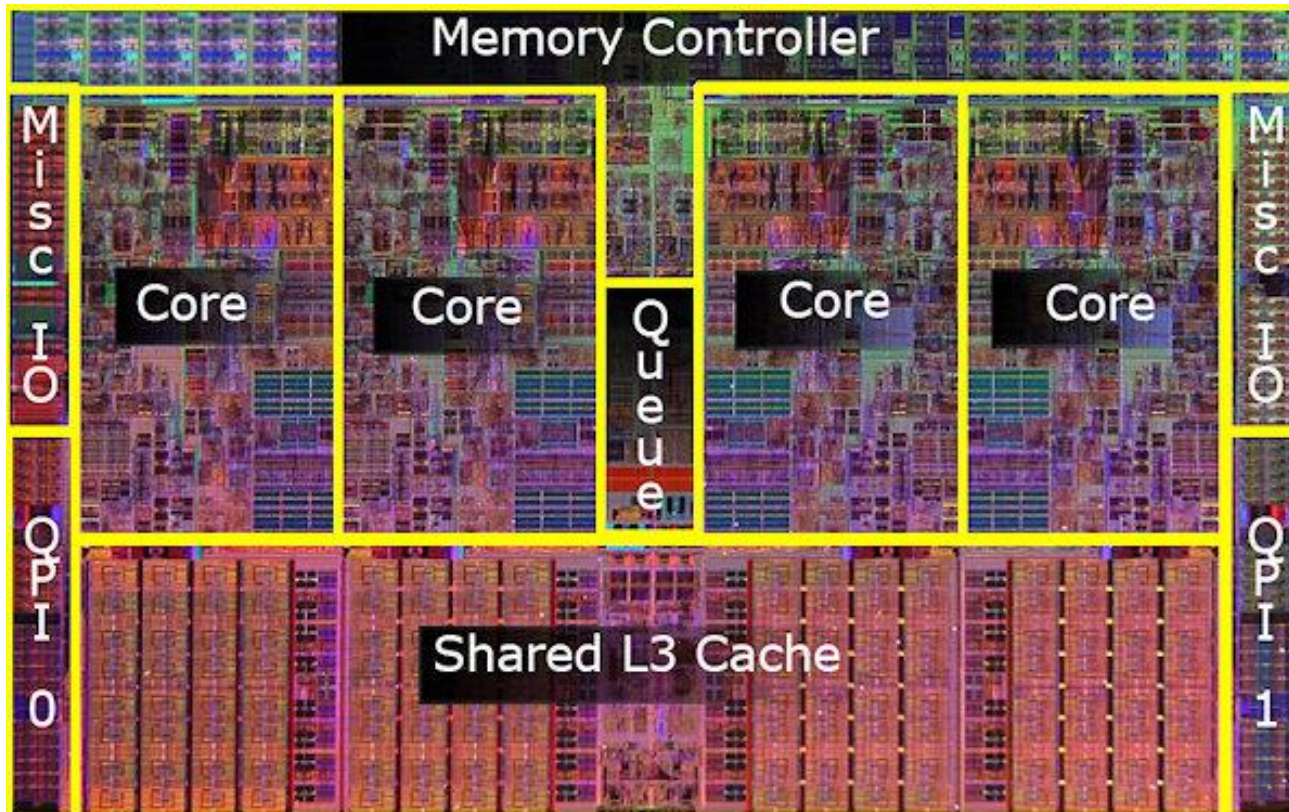
512KB L2 unified cache

- 8-way set associative
- 128 bytes block size
- Approximated LRU
- Write-back



AMD Barcelona 4 cpu cores per chip

Intel Core i7 (2008+) (700Mxtors-1.5B)



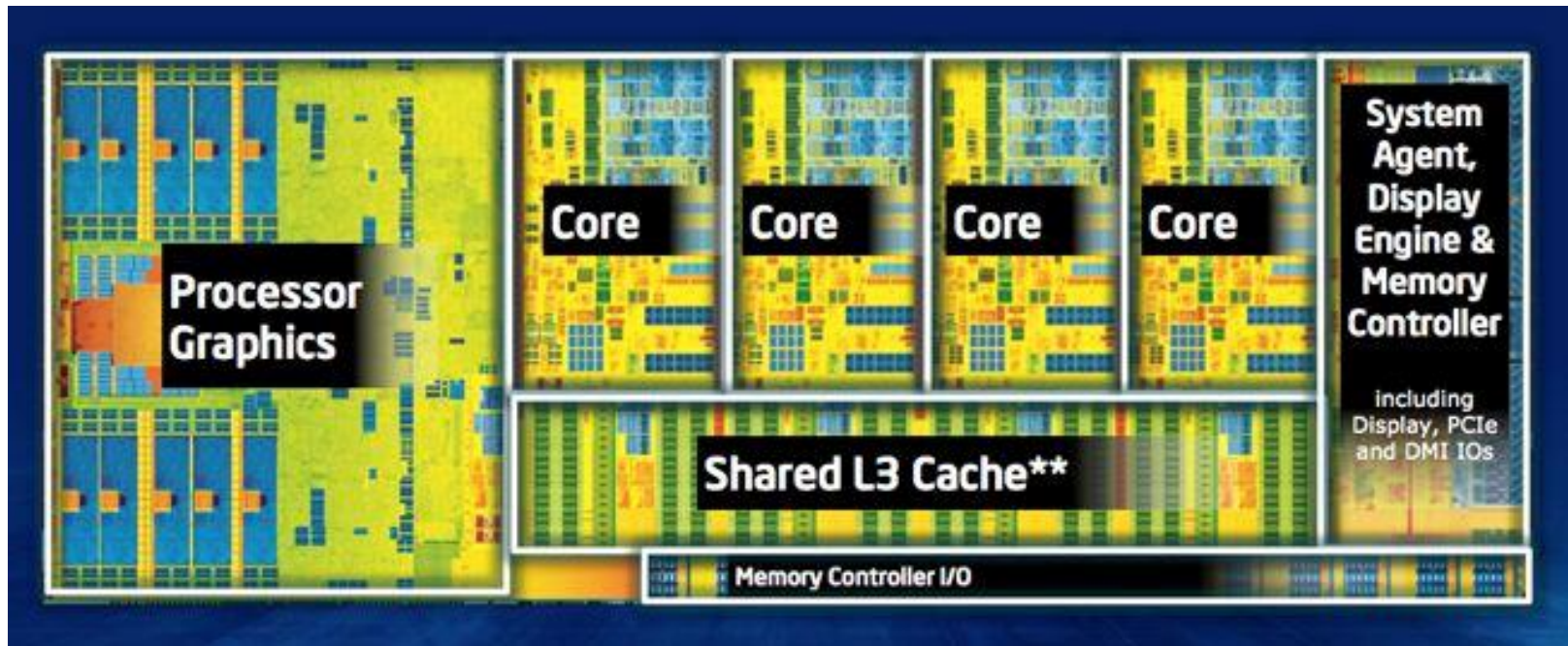
Lcache 32Kbyte 4-way
Dcache 32Kbyte 8-way
4-cycle, pipelined

Per core:
256KByte L2, 8-way
10-cycle, pipelined

Shared:
4-12 Mbyte L3 (LLC)
(2MB per core)
16-way associative
64 bytes block size

All:
Approximated LRU
Write-back

Intel Haswell (2013+) 1.4B xtors



Icache 32Kbyte 8-way
Dcache 32Kbyte 8-way
4-cycle, pipelined

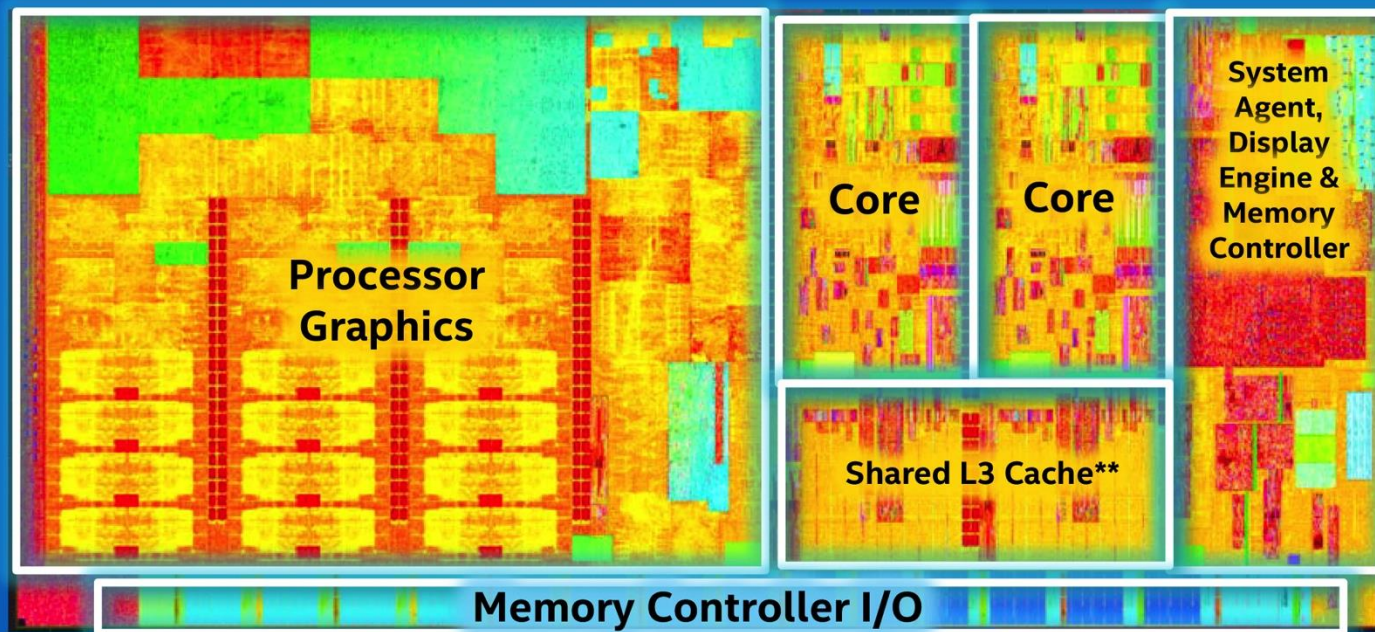
Per core: 256KByte L2, 8-way, 11-cycle, pipelined

8Mbyte L3 (LLC), (4 slices x 2MB)
16-way associative
64 bytes block size

All: Approximated LRU, Write-back

Intel Broadwell (2014+)

Intel® Core™ M Processor Die Map 14nm 2nd Generation Tri-Gate 3-D Transistors



Dual Core Die Shown Above

Transistor Count: 1.3 Billion

Die Size: 82mm²

4th Gen Core Processor (Y series): .96B

4th Gen Core Processor (Y series): 131mm²

** Cache is shared across both cores and processor graphics

Intel Confidential – UNDER EMBARGO UNTIL SEPTEMBER 5TH 2014 8:30AM PT

*Other names and brands may be claimed as the property of others

All products, dates, and figures specified are preliminary based on current expectations, and are subject to change without notice.

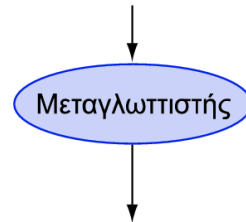
19

Επίπεδα κώδικα προγράμματος

- Γλώσσα υψηλού επιπέδου
 - Επίπεδο αφαίρεσης πιο κοντά στο πρόβλημα
 - Παρέχει παραγωγικότητα και φορητότητα
- Συμβολική γλώσσα (assembly language)
 - Αναπαράσταση εντολών μηχανής με κείμενο
- Αναπαράσταση υλικού
 - Δυαδικά ψηφία (bit)
 - Κωδικοποιημένες εντολές και δεδομένα

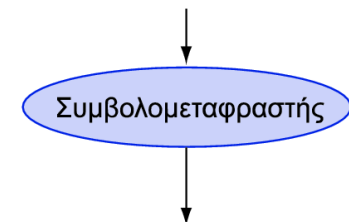
Πρόγραμμα
γλώσσας
υψηλού
επιπέδου
(σε γλώσσα C)

```
swap(int v[], int k)
{int temp;
  temp = v[k];
  v[k] = v[k+1];
  v[k+1] = temp;
}
```



Πρόγραμμα
συμβολικής
γλώσσας
(για επεξεργαστή MIPS)

```
swap:
  multi $2, $5, 4
  add   $2, $4, $2
  lw    $15, 0($2)
  lw    $16, 4($2)
  sw    $16, 0($2)
  sw    $15, 4($2)
  jr    $31
```

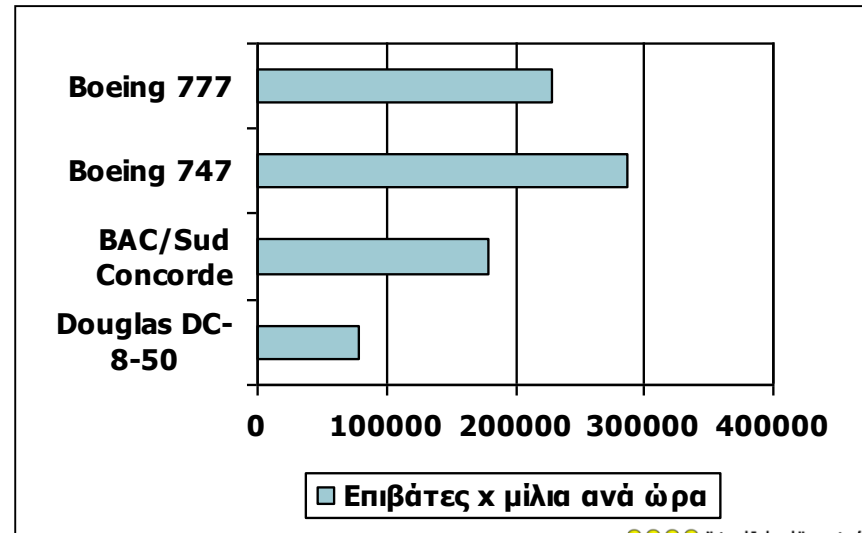
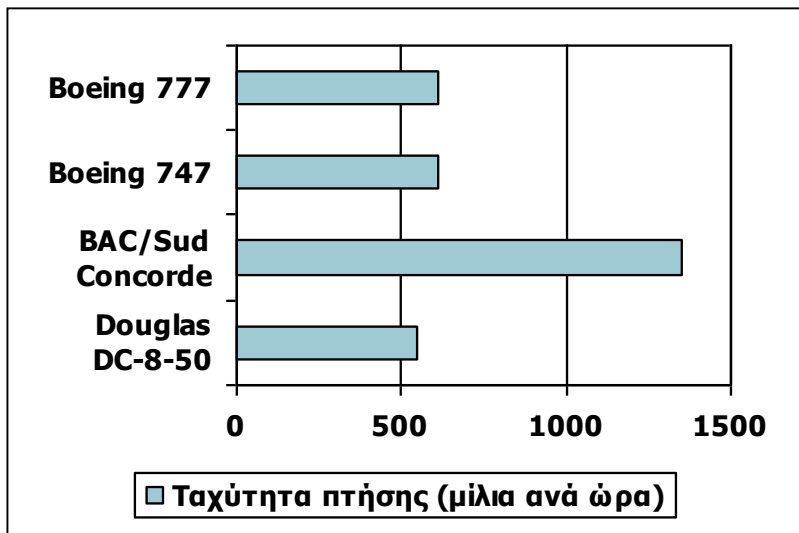
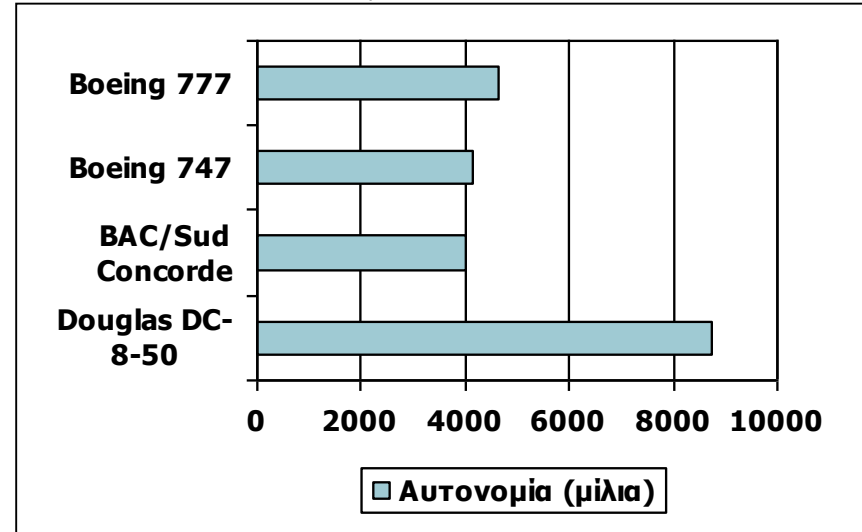
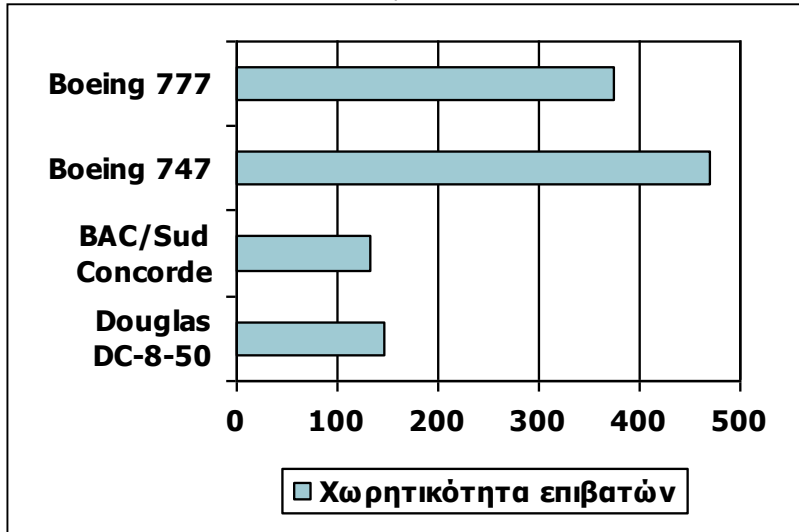


Πρόγραμμα
δυαδικής
γλώσσας
μηχανής
(για επεξεργαστή
MIPS)

```
000000001010001000000000100011000
000000001000001000010000000100000
100011011110001000000000000000000
1000111000010010000000000000000100
101011100001001000000000000000000
101011011110001000000000000000100
00000011111000000000000000001000
```

Ορισμός της απόδοσης

- Ποιο αεροπλάνο έχει την καλύτερη απόδοση;



Response time - Throughput

- Χρόνος απόκρισης (response time)
 - Πόσο διαρκεί η εκτέλεση μιας εργασίας
- Διεκπεραιωτική ικανότητα (throughput)
 - Συνολική δουλειά που γίνεται ανά μονάδα χρόνου
 - ❖ π.χ. εργασίες/συναλλαγές/... ανά ώρα
- Πώς επηρεάζονται ο χρόνος απόκρισης και η διεκπεραιωτική ικανότητα από
 - Αντικατάσταση του επεξεργαστή με ταχύτερη έκδοση;
 - Προσθήκη νέων επεξεργαστών;
- Εστιάζουμε στο χρόνο απόκρισης προς το παρόν...

Σχετική απόδοση

Ορισμός: Απόδοση = $1/\text{Χρόνος εκτέλεσης}$
"ο X είναι n φορές ταχύτερος από τον Y "

$$\text{Απόδοση}_X / \text{Απόδοση}_Y = \text{Χρόνος εκτέλεσης}_Y / \text{Χρόνος εκτέλεσης}_X = n$$

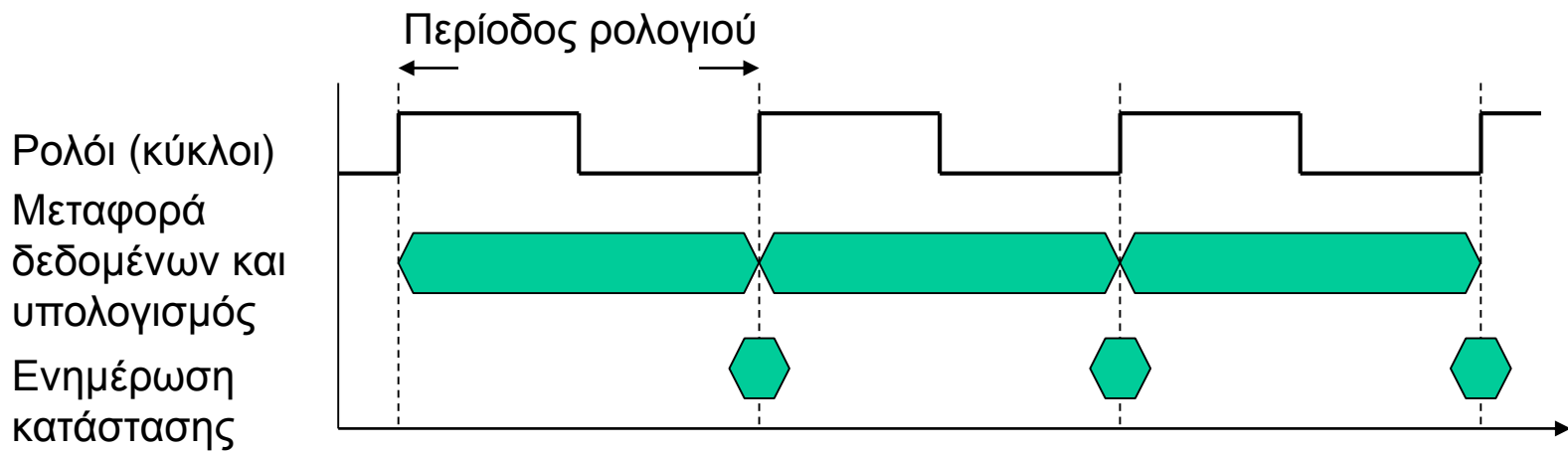
- παράδειγμα: χρόνος εκτέλεσης προγρ/τος
 - 10s στον A, 15s στον B
 - $\text{Χρόνος εκτέλεσης}_B / \text{Χρόνος εκτέλεσης}_A = 15s / 10s = 1.5$
 - Άρα ο A είναι 1.5 φορές ταχύτερος του B

Μέτρηση χρόνου εκτέλεσης

- «Παρελθών» χρόνος (elapsed time)
 - Συνολικός χρόνος απόκρισης, περιλαμβάνει τα πάντα
 - ❖ Επεξεργασία, είσοδο/έξοδο, επιβάρυνση ΛΣ, αδρανής χρόνος
 - Καθορίζει την απόδοση του συστήματος
- Χρόνος CPU (CPU time)
 - Ο χρόνος επεξεργασίας για μια συγκεκριμένη εργασία
 - ❖ Χωρίς το χρόνο εισόδου/εξόδου και την κοινή χρήση από άλλες εργασίες
 - Αποτελείται από το χρόνο CPU χρήστη (user CPU time) και το χρόνο CPU συστήματος (system CPU time)
 - Διαφορετικά προγράμματα επηρεάζονται διαφορετικά από την απόδοση της CPU και του συστήματος

Χρονισμός CPU (clocking)

- Η λειτουργία του ψηφιακού υλικού ρυθμίζεται από ένα ρολόι σταθερού ρυθμού



- Περίοδος ρολογιού: η διάρκεια ενός κύκλου
 - π.χ., $250\text{ps} = 0.25\text{ns} = 250 \times 10^{-12}\text{s}$
- Συχνότητα (ρυθμός) ρολογιού: κύκλοι/second
 - π.χ., $4.0\text{GHz} = 4000\text{MHz} = 4.0 \times 10^9\text{Hz}$

Χρόνος CPU (CPU time)

$$\begin{aligned}\text{Χρόνος CPU} &= \text{Κύκλοι ρολογιού CPU} \times \text{Χρόνος κύκλου ρολογιού} \\ &= \frac{\text{Κύκλοι ρολογιού CPU}}{\text{Ρυθμός ρολογιού}}\end{aligned}$$

- Η απόδοση βελτιώνεται με
 - Μείωση του αριθμού των κύκλων ρολογιού
 - Αύξηση του ρυθμού του ρολογιού
 - Ο σχεδιαστής του υλικού πρέπει να κάνει συχνά συμβιβασμούς μεταξύ του ρυθμού ρολογιού και του πλήθους των κύκλων ρολογιού

Παράδειγμα χρόνου CPU

- Υπολογιστής A: ρολόι 2GHz, χρόνος CPU 10s
- Σχεδίαση του υπολογιστή B
 - Στόχος είναι χρόνος CPU 6s
 - Μπορεί το ρολόι να είναι ταχύτερο, αλλά προκαλεί αύξηση των κύκλων 1.2 × κύκλοι ρολογιού
- Πόσο ταχύτερο μπορεί να είναι το ρολόι του B;

$$\text{Ρυθμός ρολογιού}_B = \frac{\text{Κύκλοι ρολογιού}_B}{\text{Χρόνος CPU}_B} = \frac{1.2 \times \text{Κύκλοι ρολογιού}_A}{6s}$$

$$\begin{aligned}\text{Κύκλοι ρολογιού}_A &= \text{Χρόνος CPU}_A \times \text{Ρυθμός ρολογιού}_A \\ &= 10s \times 2\text{GHz} = 20 \times 10^9\end{aligned}$$

$$\text{Ρυθμός ρολογιού}_B = \frac{1.2 \times 20 \times 10^9}{6s} = \frac{24 \times 10^9}{6s} = 4\text{GHz}$$

Πλήθος εντολών και CPI

Κύκλοι ρολογιού = Πλήθος εντολών × Κύκλοι ανά εντολή

Χρόνος CPU = Πλήθος εντολών × CPI × Χρόνος κύκλου ρολογιού

$$= \frac{\text{Πλήθος εντολών} \times \text{CPI}}{\text{Ρυθμός ρολογιού}}$$

- Πλήθος εντολών (Instruction Count) προγράμματος
 - Καθορίζεται από το πρόγραμμα, την αρχιτεκτονική συνόλου εντολών (ISA), και το μεταγλωττιστή
- Μέσος αριθμός κύκλων ανά εντολή (CPI - clocks per instruction)
 - Καθορίζεται από το υλικό της CPU
 - Αν οι διαφορετικές εντολές έχουν διαφορετικό CPI
 - ❖ Το μέσο CPI επηρεάζεται από το μίγμα των εντολών

Παράδειγμα CPI

- Υπολογιστής A: Cycle Time = 250ps, CPI = 2.0
- Υπολογιστής B: Cycle Time = 500ps, CPI = 1.2
- Ίδια αρχιτεκτονική συνόλου εντολών (ISA)
- Ποιος είναι ταχύτερος, και κατά πόσο;

$$\begin{aligned} \text{Χρόνος CPU}_A &= \text{Πλήθος εντολών} \times \text{CPI}_A \times \text{Χρόνος κύκλου}_A \\ &= 1 \times 2.0 \times 250\text{ps} = 1 \times 500\text{ps} \end{aligned}$$

← A ταχύτερος...

$$\begin{aligned} \text{Χρόνος CPU}_B &= \text{Πλήθος εντολών} \times \text{CPI}_B \times \text{Χρόνος κύκλου}_B \\ &= 1 \times 1.2 \times 500\text{ps} = 1 \times 600\text{ps} \end{aligned}$$

$$\frac{\text{Χρόνος CPU}_B}{\text{Χρόνος CPU}_A} = \frac{1 \times 600\text{ps}}{1 \times 500\text{ps}} = 1.2$$

← ...κατά τόσο

Το CPI με λεπτομέρεια

- Αν διαφορετικές κατηγορίες εντολών διαρκούν διαφορετικό αριθμό κύκλων

$$\text{Κύκλοι ρολογιού} = \sum_{i=1}^n (\text{CPI}_i \times \text{Πλήθος εντολών}_i)$$

■ Σταθμισμένο (weighted) μέσο CPI

$$\text{CPI} = \frac{\text{Κύκλοι ρολογιού}}{\text{Πλήθος εντολών}} = \sum_{i=1}^n \left(\text{CPI}_i \times \frac{\text{Πλήθος εντολών}_i}{\text{Πλήθος εντολών}} \right)$$

Σχετική συχνότητα εντολών

Παράδειγμα CPI

- Εναλλακτικές ακολουθίες μεταγλωττισμένου κώδικα με εντολές τριών κατηγοριών A, B, C

Κατηγορία	A	B	C
CPI της κατηγορίας	1	2	3
Πλήθος εντολών (IC) ακολουθίας 1	2	1	2
Πλήθος εντολών (IC) ακολουθίας 2	4	1	1

- Ακολουθία 1: IC = 5
 - Κύκλοι ρολογιού
 $= 2 \times 1 + 1 \times 2 + 2 \times 3$
 $= 10$
 - Μέσο CPI = $10/5 = 2.0$
- Ακολουθία 2: IC = 6
 - Κύκλοι ρολογιού
 $= 4 \times 1 + 1 \times 2 + 1 \times 3$
 $= 9$
 - Μέσο CPI = $9/6 = 1.5$

Σύνοψη της απόδοσης

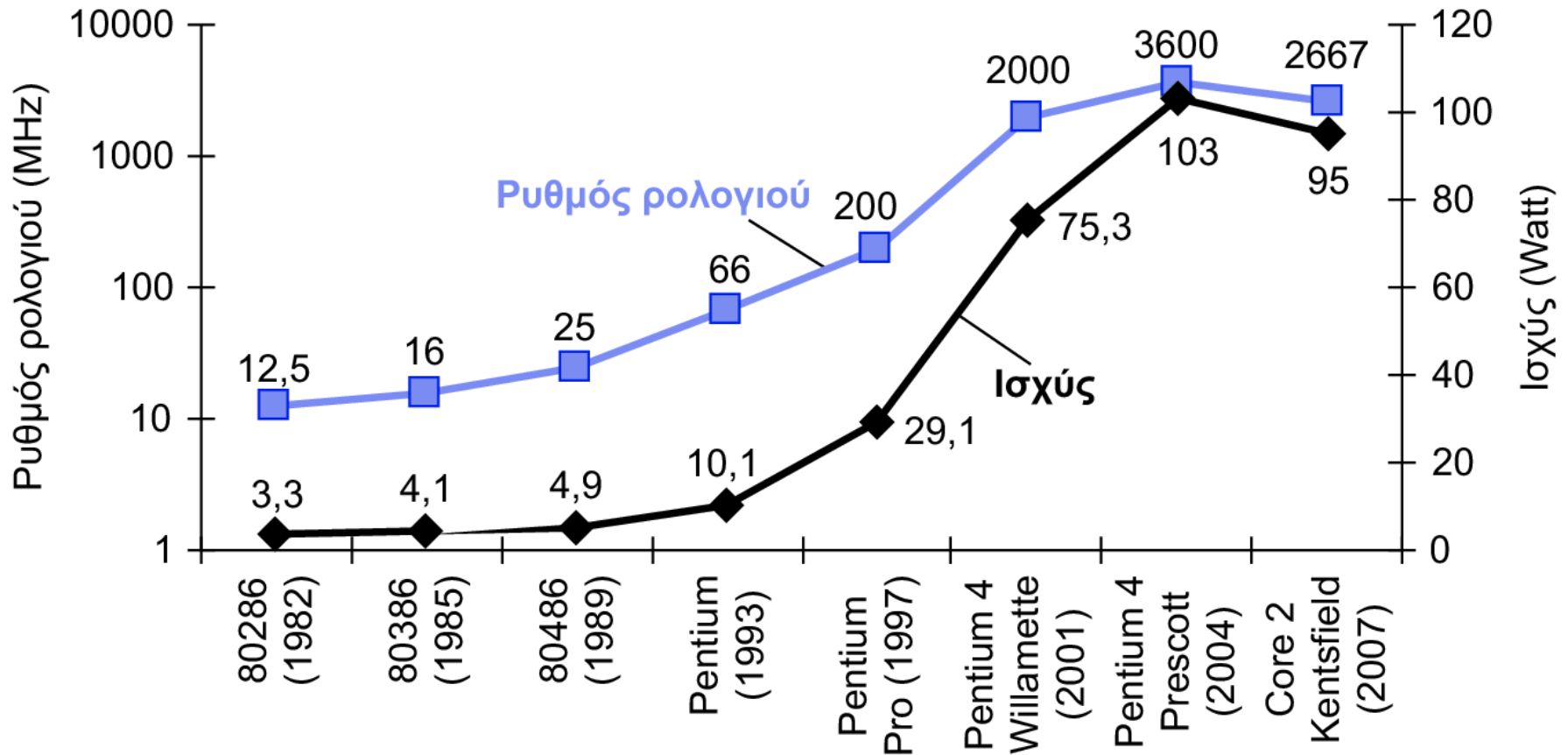
ΓΕΝΙΚΗ εικόνα

$$\text{Χρόνος CPU} = \frac{\text{Εντολές}}{\text{Πρόγραμμα}} \times \frac{\text{Κύκλοι ρολογιού}}{\text{Εντολή}} \times \frac{\text{Δευτερόλεπτα}}{\text{Κύκλος ρολογιού}}$$

• Η απόδοση εξαρτάται από

- Αλγόριθμο: επηρεάζει το πλήθος εντολών, πιθανόν και το CPI
- Γλώσσα προγραμματισμού: επηρεάζει το πλήθος εντολών και το CPI
- Μεταγλωττιστής: επηρεάζει το πλήθος εντολών και το CPI
- Αρχιτεκτονική συνόλου εντολών (ISA): επηρεάζει το πλήθος εντολών, το CPI, και την περίοδο (συχνότητα) του ρολογιού

Οι τάσεις στην ηλεκτρική ισχύ



- Στη τεχνολογία ολοκληρωμένων κυκλωμάτων CMOS

$$\text{Ισχύς} = \text{Φορτίο χωρητικότητα} \times \text{Τάση}^2 \times \text{Συχνότητα}$$

Μείωση της ισχύος

- Υποθέστε ότι μια νέα CPU έχει
 - 85% του φορτίου χωρητικότητας (capacitive load) της παλιάς CPU
 - μειωμένη τάση κατά 15% και συχνότητα κατά 15%

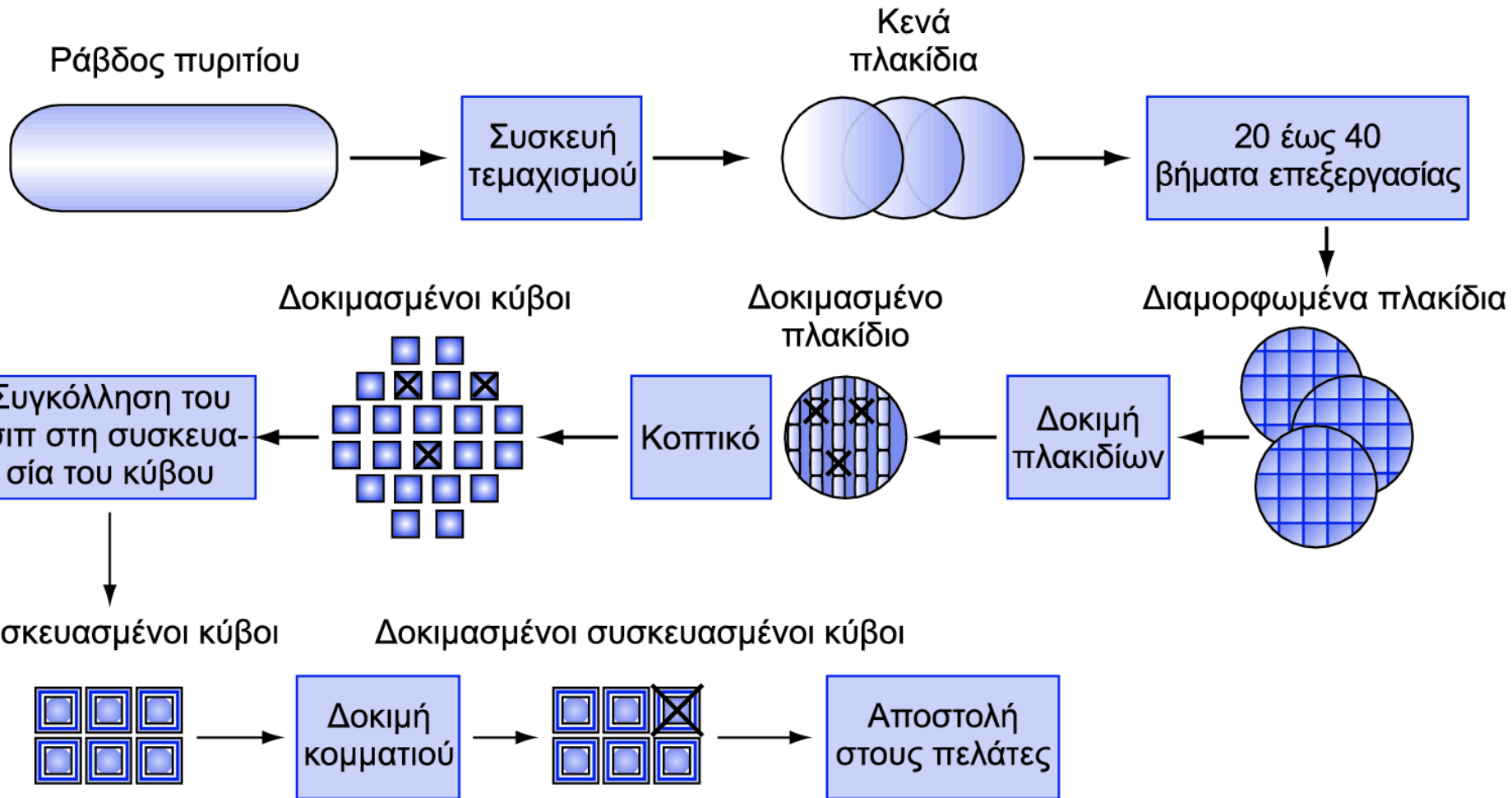
$$\frac{P_{\text{new}}}{P_{\text{old}}} = \frac{C_{\text{old}} \times 0.85 \times (V_{\text{old}} \times 0.85)^2 \times F_{\text{old}} \times 0.85}{C_{\text{old}} \times V_{\text{old}}^2 \times F_{\text{old}}} = 0.85^4 = 0.52$$

- Το τείχος της ισχύος (power wall)
 - Δεν μπορούμε να μειώσουμε άλλο την τάση
 - Δεν μπορούμε να απαγάγουμε τη θερμότητα
- Πώς αλλιώς μπορούμε να βελτιώσουμε την απόδοση;

Ο ρόλος του Σχεδιαστή Υπολογιστών

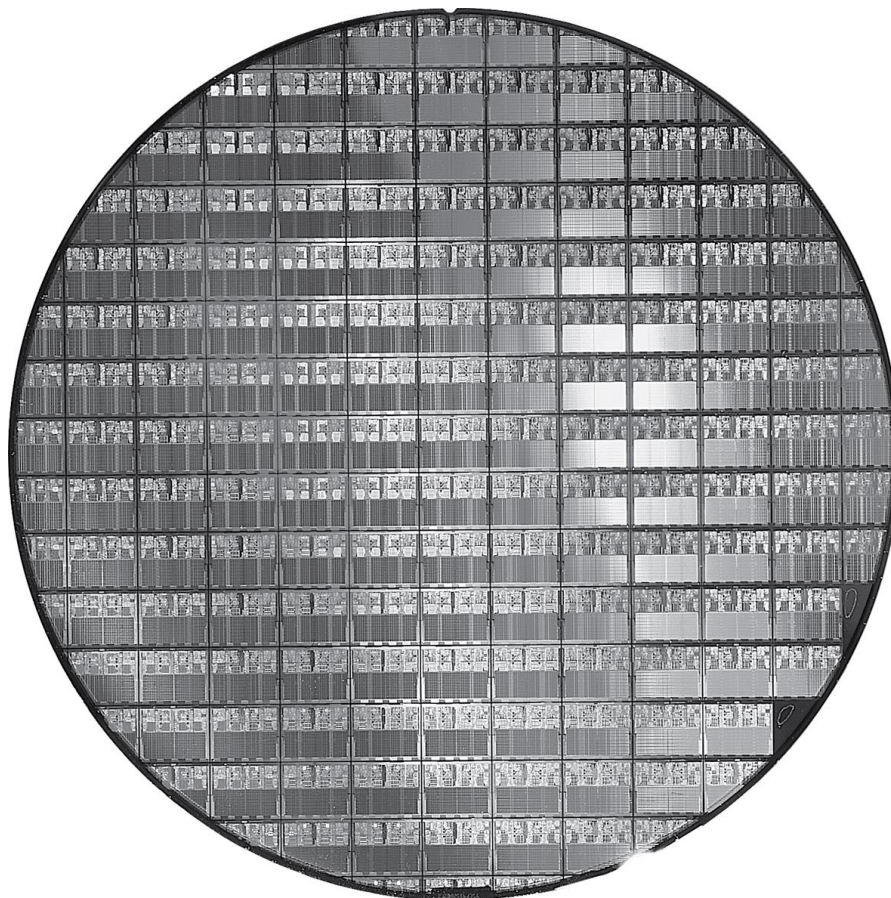
- Καθορίζει ποια χαρακτηριστικά είναι σημαντικά για ένα νέο μηχάνημα. Στη συνέχεια σχεδιάζει ένα μηχάνημα που να **μεγιστοποιεί την επίδοση** και παράλληλα **να μην υπερβαίνει** τους περιορισμούς **κόστους**
- Επιμέρους χαρακτηριστικά
 - Σχεδιασμός του instruction set
 - Οργάνωση των λειτουργιών
 - Λογικός σχεδιασμός και υλοποίηση (IC design, packaging, power, cooling ...)

Κατασκευή ολοκληρωμένων



- **Εσοδεία (yield): ποσοστό τσιπ ανά πλακίδιο (wafer) που λειτουργούν σωστά**

AMD Opteron X2 Wafer



- X2: 300mm πλακίδιο, 117 τσιπ, τεχνολογία 90nm
- X4: τεχνολογία 45nm

Κόστος Ολοκληρωμένων

$$\begin{aligned} \text{Κόστος ανά κύβο} &= \frac{\text{Κόστος ανά πλακίδιο}}{\text{Κύβοι ανά πλακίδιο} \times \text{Εσοδεία}} \\ \text{Κύβοι ανά πλακίδιο} &\approx \frac{\text{Επιφάνεια πλακιδίου}}{\text{Επιφάνεια κύβου}} \\ \text{Εσοδεία} &= \frac{1}{(1 + \text{Ατέλειες ανά μονάδα επιφανείας} \times \text{Επιφάνεια κύβου}/2))} \end{aligned}$$

- Μη γραμμική εξάρτηση από την επιφάνεια (area) και το ρυθμό ατελειών (defect rate)
 - Κόστος και επιφάνεια πλακιδίου (wafer): σταθερά
 - Ρυθμός ατελειών (defect rate) εξαρτάται από τη διαδικασία κατασκευής
 - Επιφάνεια τσιπ (die/chip area): εξαρτάται από την αρχιτεκτονική και τη σχεδίαση του κυκλώματος

Μετροπρογράμματα SPEC CPU

- Χρησιμοποιούνται προγράμματα για τη μέτρηση της απόδοσης
 - Υποτίθεται τυπικά για ένα πραγματικό φορτίο εργασίας (workload)
- Standard Performance Evaluation Corp (SPEC)
 - Αναπτύσσει μετροπρογράμματα (benchmarks) για CPU, είσοδο/έξοδο, Ιστό, ...
- SPEC CPU2006
 - «Παρελθών» (elapsed) χρόνος για την εκτέλεση μιας συλλογής προγραμμάτων
 - ❖ Αμελητέα είσοδος/έξοδος, άρα εστιάζουν στην απόδοση της CPU
 - Κανονικοποίηση σε σχέση με μια μηχανή αναφοράς (reference machine)
 - Σύνοψη ως γεωμετρικός μέσος (geometric mean) των λόγων απόδοσης (performance ratios)
 - ❖ CINT2006 (integer) and CFP2006 (floating-point)

$$\sqrt[n]{\prod_{i=1}^n \text{Λόγος χρόνου εκτέλεσης } i}$$

CINT2006 για Opteron X4 2356

Όνομα	Περιγραφή	IC×10 ⁹	CPI	Tc (ns)	Χρόν. εκτ.	Χρον. ανφ.	SPECratio
perl	Interpreted string processing	2,118	0.75	0.40	637	9,777	15.3
bzip2	Block-sorting compression	2,389	0.85	0.40	817	9,650	11.8
gcc	GNU C Compiler	1,050	1.72	0.47	24	8,050	11.1
mcf	Combinatorial optimization	336	10.00	0.40	1,345	9,120	6.8
go	Go game (AI)	1,658	1.09	0.40	721	10,490	14.6
hmmer	Search gene sequence	2,783	0.80	0.40	890	9,330	10.5
sjeng	Chess game (AI)	2,176	0.96	0.48	37	12,100	14.5
libquantum	Quantum computer simulation	1,623	1.61	0.40	1,047	20,720	19.8
h264avc	Video compression	3,102	0.80	0.40	993	22,130	22.3
omnetpp	Discrete event simulation	587	2.94	0.40	690	6,250	9.1
astar	Games/path finding	1,082	1.79	0.40	773	7,020	9.1
xalancbmk	XML parsing	1,058	2.70	0.40	1,143	6,900	6.0
Geometric mean							11.7

Υψηλοί ρυθμοί αστοχίας
κρυφής μνήμης (cache misses)

Μετροπρογράμματα SPEC Power

- Κατανάλωση ισχύος διακομιστή (server) σε διαφορετικά επίπεδα φορτίου εργασίας
 - Απόδοση: ssj_ops/sec
 - Ισχύς: Watts (Joules/sec)

$$\text{Overall } ssj_ops \text{ per Watt} = \frac{\left(\sum_{i=0}^{10} ssj_ops_i \right)}{\left(\sum_{i=0}^{10} power_i \right)}$$

SPECpower_ssj2008 για X4

Φορτίο στόχου %	Απόδοση (ssj_ops/sec)	Μέση ισχύς (Watts)
100%	231,867	295
90%	211,282	286
80%	185,803	275
70%	163,427	265
60%	140,160	256
50%	118,324	246
40%	920,35	233
30%	70,500	222
20%	47,126	206
10%	23,066	180
0%	0	141
Overall sum	1,283,590	2,605
Σ ssj_ops/ Σ power		493

Amdhal's law

We have:



$$\text{ExTime}_{\text{new}} = \text{ExTime}_{\text{old}} \times \left[(1 - \text{Fraction}_{\text{enhanced}}) + \frac{\text{Fraction}_{\text{enhanced}}}{\text{Speedup}_{\text{enhanced}}} \right]$$

Amdhal's law:

$$\text{Speedup}_{\text{overall}} = \frac{\text{ExTime}_{\text{old}}}{\text{ExTime}_{\text{new}}} = \frac{1}{(1 - \text{Fraction}_{\text{enhanced}}) + \frac{\text{Fraction}_{\text{enhanced}}}{\text{Speedup}_{\text{enhanced}}}}$$

Best we can ever hope to get (lim as Speedup $\rightarrow \infty$):



$$\text{Speedup}_{\text{maximum}} = \frac{1}{(1 - \text{Fraction}_{\text{enhanced}})}$$

$f = 0.1 \Rightarrow S_{\text{max}} = 1.11$
$f = 0.2 \Rightarrow S_{\text{max}} = 1.25$
$f = 0.5 \Rightarrow S_{\text{max}} = 2$
$f = 0.8 \Rightarrow S_{\text{max}} = 5$
$f = 0.9 \Rightarrow S_{\text{max}} = 10$

Παγίδα: νόμος του Amdahl

- Η βελτίωση μιας πλευράς ενός υπολογιστή και η αναμονή ανάλογης βελτίωσης της συνολικής απόδοσης

$$T_{\text{μετά τη βελτίωση}} = \frac{T_{\text{που επηρεάζεται}}}{\text{συντελεστής βελτίωσης}} + T_{\text{που δεν επηρεάζεται}}$$

- Παράδειγμα: ο πολ/σμός είναι τα 80s/100s
 - Πόση βελτίωση της απόδοσης του πολ/σμού ώστε η συνολική απόδοση να 5-πλασιαστεί;

$$20 = \frac{80}{n} + 20 \quad \text{■ Δεν γίνεται!}$$

- Πόρισμα: *κάνε τη συνηθισμένη περίπτωση γρήγορη*

Πλάνη: Χαμηλή ισχύς αδράνειας

- Δείτε το μετροπρόγραμμα ισχύος στον X4
 - Στο 100% του φορτίου: 295W
 - Στο 50% του φορτίου: 246W (83%)
 - Στο 10% του φορτίου: 180W (61%)
- Κέντρο δεδομένων Google
 - Κυρίως λειτουργεί στο 10% - 50% του φορτίου
 - Με φορτίο 100% σε λιγότερο από 1% του χρόνου
- Θα θέλαμε επεξεργαστές με κατανάλωση ισχύος ανάλογη με το φορτίο!

Παγίδα: μέτρο απόδοσης MIPS

- MIPS: Millions of Instructions Per Second

- Δε λαμβάνει υπόψη:

- ❖ Διαφορές ISA μεταξύ υπολογιστών

- ❖ Διαφορές πολυπλοκότητας μεταξύ εντολών

$$\begin{aligned} \text{MIPS} &= \frac{\text{Πλήθος εντολών}}{\text{Χρόνος εκτέλεσης} \times 10^6} \\ &= \frac{\text{Πλήθος εντολών}}{\frac{\text{Πλήθος εντολών} \times \text{CPI}}{\text{Ρυθμός ρολογιού}} \times 10^6} = \frac{\text{Ρυθμός ρολογιού}}{\text{CPI} \times 10^6} \end{aligned}$$

- Το CPI ποικίλει μεταξύ προγραμμάτων σε μια δεδομένη CPU

Συμπερασματικές παρατηρήσεις

- Ο λόγος κόστος/απόδοση βελτιώνεται
 - Λόγω της εξέλιξης της τεχνολογίας
- Ιεραρχικά επίπεδα αφαίρεσης
 - Στο υλικό και στο λογισμικό
- Αρχιτεκτονική συνόλου εντολών (Instruction set architecture – ISA)
 - Η διασύνδεση υλικού και λογισμικού
- Χρόνος εκτέλεσης: το καλύτερο μέτρο απόδοσης
- Η ισχύς είναι περιοριστικός παράγοντας
 - Χρήση παραλληλίας για βελτίωση της απόδοσης

Περιορισμοί από την Τεχνολογία

- Ετήσια πρόοδος

- Τεχνολογία ημιαγωγών

- ❖ 60% περισσότερα στοιχεία/chip
- ❖ 15% ταχύτερα στοιχεία
- ❖ Βραδύτερα καλώδια

- Μνήμη

- ❖ 60% αύξηση χωρητικότητας
- ❖ 3,3% μείωση του χρόνου πρόσβασης

- Μαγνητικοί δίσκοί

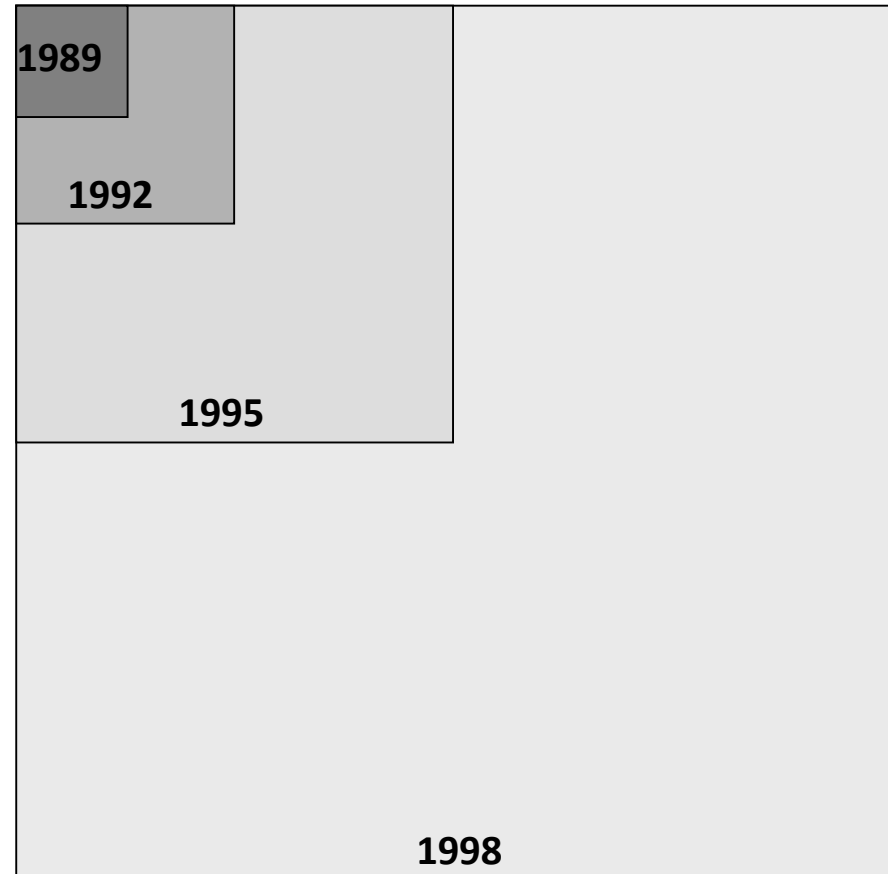
- ❖ 60% αύξηση χωρητικότητας
- ❖ 3,3% μείωση του χρόνου πρόσβασης

- Πλακέτες κυκλωμάτων

- ❖ 5% αύξηση στην πυκνότητα καλωδίων

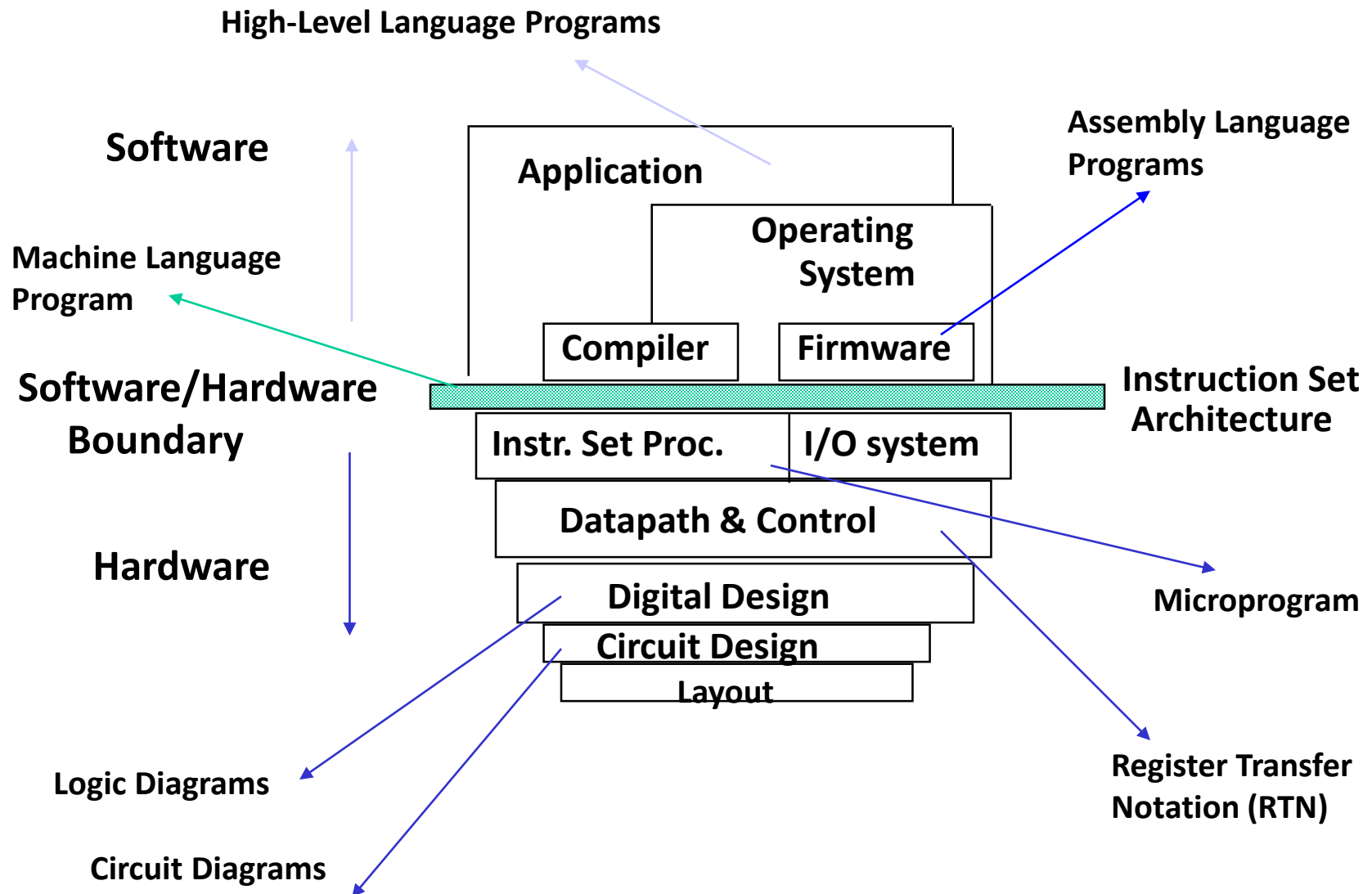
- Καλώδια

- ❖ καμία αλλαγή

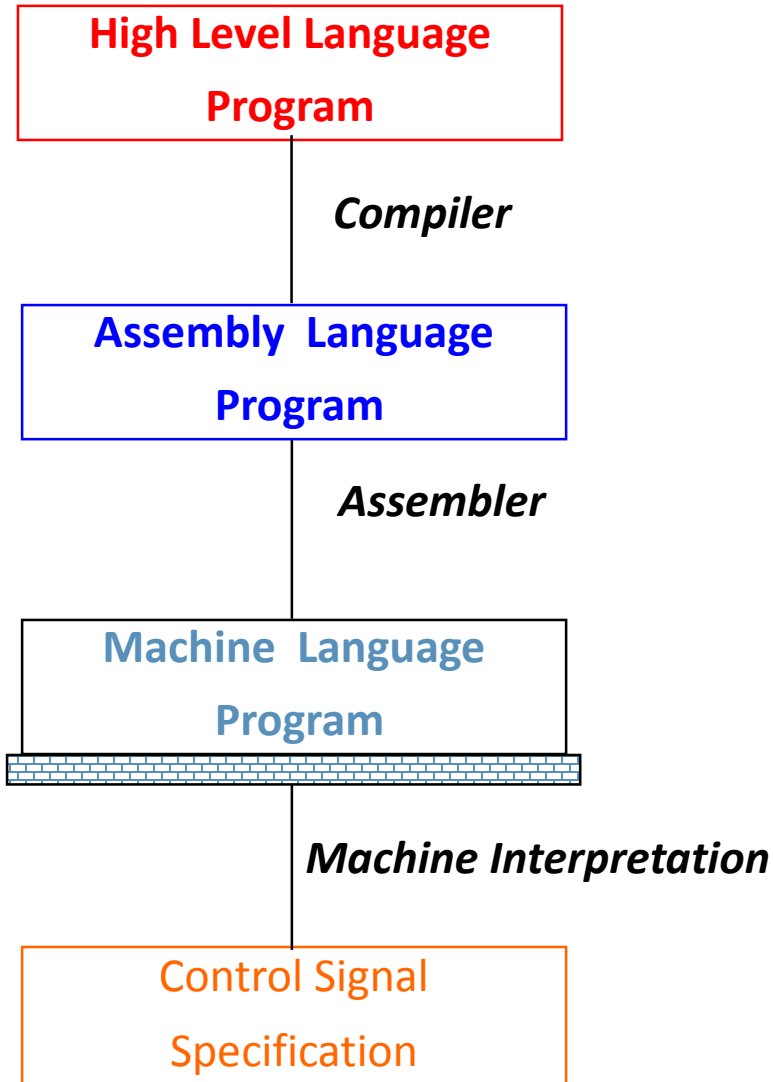


64x περισσότερα στοιχεία από το 1989 4x γρηγορότερα στοιχεία

Ιεραρχία της Αρχιτεκτονικής Υπολογιστών



Μορφή προγράμματος σε κάθε επίπεδο



```
temp = v[k];  
v[k] = v[k+1];  
v[k+1] = temp;
```

```
lw $15, 0($2)  
lw $16, 4($2)  
sw $16, 0($2)  
sw $15, 4($2)
```

```
0000 1001 1100 0110 1010 1111 0101 1000  
1010 1111 0101 1000 0000 1001 1100 0110  
1100 0110 1010 1111 0101 1000 0000 1001  
0101 1000 0000 1001 1100 0110 1010 1111
```

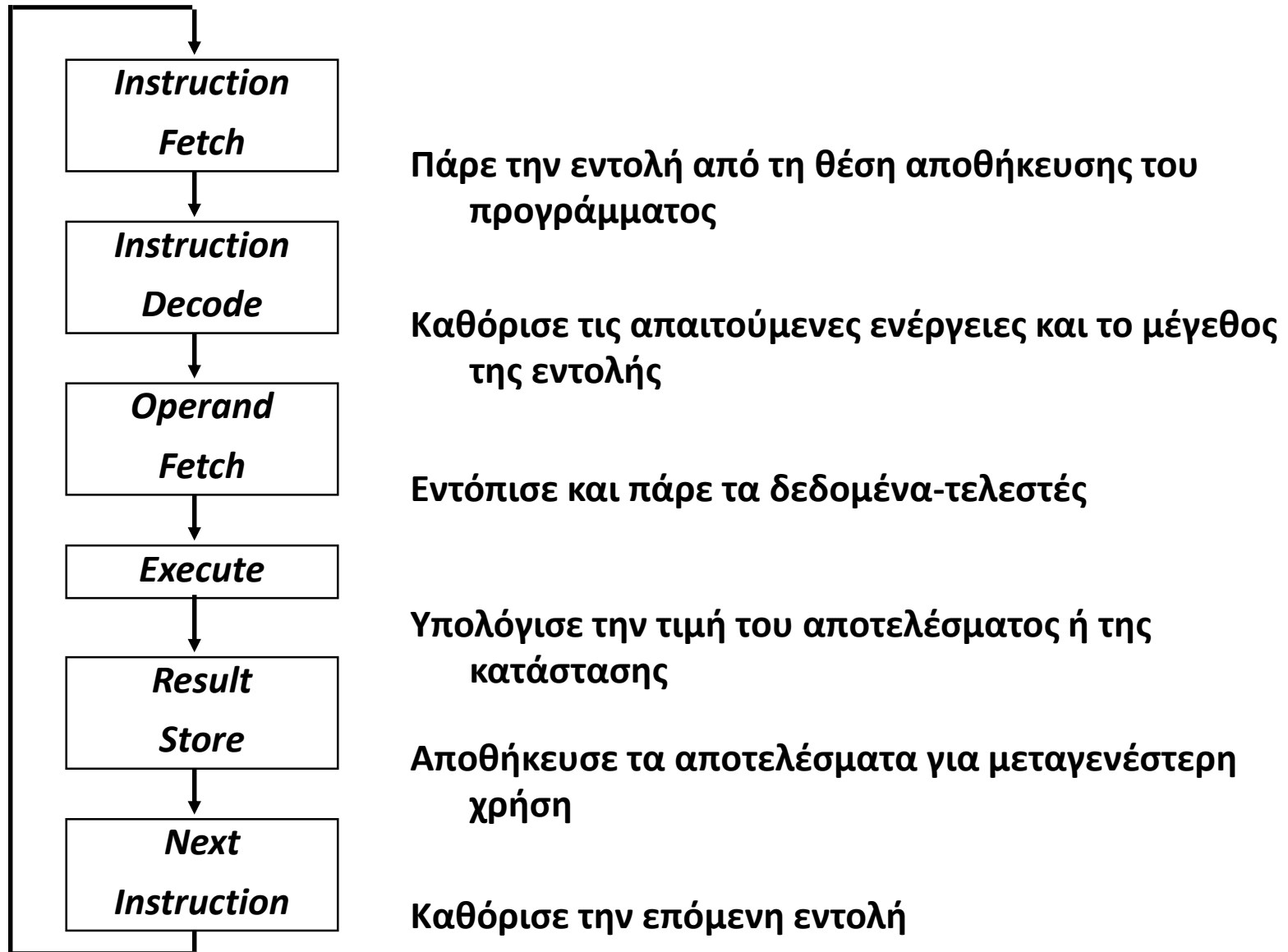
ALUOP[0:3] <= InstReg[9:11] & MASK

Register Transfer Notation (RTN)
Register Transfer Language (RTL)

Επεξεργασία του Instruction Set

- **Αρχιτεκτονική (ISA)** - από την πλευρά του προγραμματιστή/μεταγλωτιστή
 - Λειτουργική εμφάνιση προς μέσο χρήστη / προγραμματιστή συστήματος
 - **Opcodes, addressing modes, architected registers, IEEE floating point**
- **Υλοποίηση (architecture)** - από την πλευρά του σχεδιαστή επεξεργαστών
 - Λογική δομή και οργάνωση της αρχιτεκτονικής
 - **Pipelining, functional units, caches, physical registers**
- **Πραγματοποίηση (Chip)** - από την πλευρά του σχεδιαστή chip / συστημάτων
 - Φυσική δομή της υλοποίησης
 - **Gates, cells, transistors, wires**

CPU Machine Instruction Execution Steps



Instruction Set Architecture (ISA)

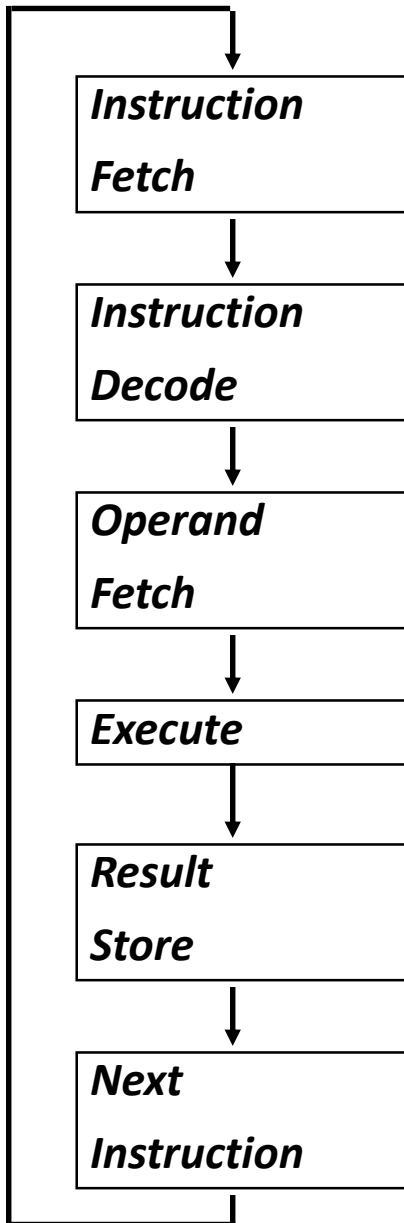
- “... τα χαρακτηριστικά ενός [υπολογιστικού] συστήματος όπως φαίνεται από την πλευρά του προγραμματιστή, π.χ. η ιδεατή δομή και η λειτουργική συμπεριφορά, διαχωρισμένα από την οργάνωση της ροής δεδομένων και τους ελέγχους του λογικού σχεδιασμού και της φυσικής υλοποίησης (as distinct from the organization of the data flows and controls the logic design, and the physical implementation).”
– Amdahl, Blaaw, and Brooks, 1964
- Η αρχιτεκτονική του συνόλου των εντολών (instruction set architecture) ασχολείται με:
 - Οργάνωση της προγραμματιζόμενης αποθήκευσης (memory & registers):
 - Τύποι & Δομές Δεδομένων: Κωδικοποιήσεις & παρουσίαση (representations)
 - Σύνολο Εντολών (Instruction Set): Ποιες λειτουργίες προσδιορίζονται
 - Μορφοποίηση και κωδικοποίηση Εντολών
 - Τρόποι διευθυνσιοδότησης και προσπέλασης δεδομένων και εντολών
 - Χειρισμός Εξαιρέσεων

Computer Instruction Sets

- Ανεξάρτητα από τον τύπο του υπολογιστή, τη δομή της CPU, ή την οργάνωση του hardware, κάθε εντολή μηχανής πρέπει να προσδιορίζει τα ακόλουθα:
 - Opcode: Ποια εντολή εκτελείται. Παράδειγμα: add, load και branch.
 - Πού βρίσκονται οι τελεστές, αν υπάρχουν: Οι τελεστές μπορεί να είναι αποθηκευμένοι σε καταχωρητές της CPU, στην κύρια μνήμη, ή σε θύρες εισόδου/εξόδου.
 - Πού τοποθετείται το αποτέλεσμα, αν υπάρχει: Μπορεί να αναφέρεται ρητά ή να υπονοείται από τον κωδικό της εντολής (opcode).
 - Πού βρίσκεται η επόμενη εντολή: Αν δεν υπάρχουν ρητές διακλαδώσεις (branches), η προς εκτέλεση εντολή είναι η επόμενη στην ακολουθία εντολών του προγράμματος. Σε περίπτωση εντολών jump ή branch η διεύθυνση προσδιορίζεται από αυτές.

Instruction Set Architecture (ISA)

Προδιαγραφή Απαιτήσεων (Specification Requirements)



- Μορφοποίηση & Κωδικοποίηση Εντολών:
 - – Πώς κωδικοποιείται;
- Θέση τελεστών και αποτελέσματος (addressing modes):
 - – Πού αλλού εκτός μνήμης;
 - – Πόσοι ρητοί τελεστές;
 - – Πώς αντιστοιχίζονται (**located**) οι τελεστές μνήμης;
 - – Ποιοι μπορούν να βρισκονται στη μνήμη και ποιοι όχι;
- Τύποι και μέγεθος δεδομένων
- Πράξεις
 - – Ποιες υποστηρίζονται
- Διαδοχή εντολών:
 - – Jumps, conditions, branches
- Fetch-decode-execute υπονοούνται

Τύποι Εντολών στο Instruction Set

Operator Type	Παραδείγματα
• Arithmetic and logical	Integer arithmetic & logical operations: add, or
• Data transfer	Loads-stores (move on machines with memory addressing)
• Control	Branch, jump, procedure call, & return, traps.
• System	Operating system call, virtual memory management instructions
• Floating point	Floating point operations: add, multiply.
• Decimal	Decimal add, decimal multiply, decimal to character conversion
• String	String move, string compare, string search
• Graphics	Pixel operations, compression/ decompression operations

Παραδείγματα Εντολών μετακίνησης δεδομένων

Instruction	Meaning	Machine
MOV A,B	Move 16-bit data from memory loc. A to loc. B	VAX11
lwz R3,A	Move 32-bit data from memory loc. A to register R3	PPC601
li \$3,455	Load the 32-bit integer 455 into register \$3	MIPS R3000
MOV AX,BX	Move 16-bit data from register BX into register AX	Intel X86
LEA.L (A0),A2	Load the address pointed to by A0 into A2	MC68000

Παραδείγματα Εντολών ALU (πράξεις)

Instruction	Meaning	Machine
MULF A,B,C	Multiply the 32-bit floating point values at mem locations A and B, and store result in loc. C	VAX11
nabs r3,r1	Store the negative absolute value of register r1 in r3	PPC601
ori \$2,\$1,255	Store the logical OR of register \$1 with 255 into \$2	MIPS R3000
SHL AX,4	Shift the 16-bit value in register AX left by 4 bits	Intel X86
ADD.L D0,D1	Add the 32-bit values in registers D0, D1 and store the result in register D0	MC68000

Παραδείγματα Εντολών Διακλάδωσης

Instruction	Meaning	Machine
BLBS A, Tgt	Branch to address Tgt if the least significant bit at location A is set	VAX11
bun r2	Branch to location in r2 if the previous comparison signaled that one or more values was not a number	PPC601
Beq \$2,\$1,32	Branch to location PC+4+32 if contents of \$1 == \$2	MIPSR3000
JCZ Addr	Jump to Addr if contents of register CX = 0	Intel X86
BVS next.	Branch to next if overflow flag in CC is set	MC68000

Παράδειγμα Χρήσης Εντολών: Top 10 Intel X86 Instructions

Κατηγορία	Εντολή	Μέσο ποσοστό συνολικής εκτέλεσης
1	load	22%
2	conditional branch	20%
3	compare	16%
4	store	12%
5	add	8%
6	and	6%
7	sub	5%
8	move register-register	4%
9	call	1%
10	return	1%
	Total	<hr/> 96%

Παρατήρηση: Οι απλές εντολές έχουν τις μεγαλύτερες συχνότητες χρησιμοποίησης.

Περίληψη

- Οι υπολογιστές αποτελούνται από 5 τμήματα:
 - Επεξεργαστής: (1) datapath και (2) control
 - (3) Μνήμη
 - (4) Μονάδες εισόδου και (5) μονάδες εξόδου
- Δεν είναι όλες οι «θέσεις» μνήμης ίδιες
 - Cache: γρήγορη και ακριβή μνήμη κοντά στον επεξεργαστή
 - Κύρια Μνήμη: φτηνή μνήμη - άρα και μεγαλύτερη
- Οι διεπαφές είναι κρίσιμες - μεταξύ λειτουργικών μονάδων και μεταξύ του υπολογιστή και του έξω κόσμου
- Η σχεδίαση γίνεται κάτω από περιορισμούς στις αναμενόμενες επιδόσεις, στην επιτρεπόμενη ισχύ, στο εμβαδό του ολοκληρωμένου και στο κόστος