



**ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ**  
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ  
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

ΕΡΓΑΣΤΗΡΙΟ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ  
www.cslab.ece.ntua.gr

**ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ**  
Κανονική Εξέταση Σεπτεμβρίου 2012  
Διάρκεια 2,5 ώρες

Οι εξετάσεις θα πραγματοποιηθούν ΧΩΡΙΣ την παρουσία βιβλίων, βοηθημάτων ή άλλου είδους σημειώσεων. Το μόνο που επιτρέπεται να έχετε μαζί σας είναι ένα φύλλο A4 στο οποίο μπορείτε να έχετε γράψει ό,τι έχετε κρίνει πιο σημαντικό για το μάθημα και θέλετε να το έχετε ως βοήθημά σας. Απαγορεύεται η ανταλλαγή οποιουδήποτε αντικειμένου κατά την ώρα της εξέτασης, ούτε και των φύλλων A4 που είναι ατομικά.

**Θέμα 1ο (20%)**

**A)** Αναλαμβάνετε επικεφαλής σχεδίασης του νέου υπολογιστικού συστήματος της εταιρίας σας. Το προηγούμενο σύστημα αποτελούνταν από έναν single-cycle επεξεργαστή, Instruction και Data L1 caches και την κύρια μνήμη. Η μελέτη του με τη χρήση κατάλληλων μετροπρογραμμάτων, έχει φανερώσει τα παρακάτω χαρακτηριστικά:

- Ποσοστό memory instructions: 30%
- Instruction cache miss rate: 1.5%
- Data cache miss rate: 4%
- L1 cache miss penalty: 70 κύκλοι
- L1 cache hit penalty: 0 κύκλοι

Η ομάδα σχεδίασης σας έχει προτείνει 2 εναλλακτικές προκειμένου να βελτιώσετε την απόδοση:

- i) Αντικατάσταση του επεξεργαστή με έναν πιο καινούριο (πάντα single-cycle), ο οποίος λειτουργεί στη διπλάσια ταχύτητα. Οι L1 caches του επεξεργαστή αυτού λειτουργούν επίσης σε διπλάσια ταχύτητα σε σχέση με τις προηγούμενες, προκειμένου να τροφοδοτούν τον επεξεργαστή με τον ίδιο ρυθμό. Η κύρια μνήμη δεν αλλάζει.
- ii) Αντικατάσταση της κύριας μνήμης με καινούρια η οποία λειτουργεί σε διπλάσια ταχύτητα. Ο επεξεργαστής και οι L1 caches δεν αλλάζουν.

Ποια θα είναι η απόφασή σας; Δικαιολογήστε την απάντησή σας.

**B)** Απαντήστε αν οι παρακάτω προτάσεις είναι αληθείς ή ψευδείς. Δικαιολογήστε τις απαντήσεις σας.

- i) Για το ίδιο datapath, το CPI ενός single-cycle επεξεργαστή είναι εν γένει *μικρότερο* από αυτό ενός pipelined επεξεργαστή.
- ii) Για το ίδιο datapath, ο κύκλος ενός single-cycle επεξεργαστή είναι *μικρότερος* από αυτόν ενός pipelined επεξεργαστή.
- iii) Ο μέσος αριθμός stalls λόγω εξαρτήσεων δεδομένων σε ένα multi-cycle επεξεργαστή είναι *μεγαλύτερος* από τον αντίστοιχο αριθμό σε έναν pipelined επεξεργαστή.
- iv) Σε ένα multi-cycle datapath χρειάζεται *μόνο ένας* αθροιστής.
- v) Σε ένα pipelined datapath χρειάζεται *μόνο ένας* αθροιστής.

---

**Γ)** Θεωρήστε έναν επεξεργαστή MIPS με την κλασσική σωλήνωση 5 σταδίων που διδαχθήκατε στο μάθημα και έναν δεύτερο, όπου τα στάδια EX και MEM έχουν αντιμετατεθεί (χωρίς καμία άλλη τροποποίηση/επέκταση).

- i) Δώστε μια αλληλουχία εντολών όπου στον πρώτο επεξεργαστή απαιτείται stall ενώ στον δεύτερο όχι.
- ii) Δώστε μια αλληλουχία εντολών όπου στον δεύτερο επεξεργαστή απαιτείται stall ενώ στον πρώτο όχι.
- iii) Να αναφέρετε μια θετική και μια αρνητική συνέπεια της αλλαγής αυτής στη σχεδίαση ως προς τον παραγόμενο κώδικα.

### Θέμα 2ο (30%)

Υποθέστε την κλασσική αρχιτεκτονική σωλήνωσης του MIPS 5 σταδίων IF, ID, EX, MEM, WB, όπου όλα τα στάδια διαρκούν ένα κύκλο. Η εγγραφή σε ένα καταχωρητή γίνεται στο πρώτο μισό ενός κύκλου, ενώ η ανάγνωση από τον ίδιο καταχωρητή πραγματοποιείται στο δεύτερο μισό του κύκλου.

Δίνεται το ακόλουθο κομμάτι κώδικα :

```
1. LW R2, 0(R8)
2. ADD R2, R2, R2
3. ADD R3, R3, R2
4. SW R3, 0(R8)
5. XOR R3, R1, R3
6. ADDI R8, R8, #4
7. ADDI R7, R7, #-1
8. BEZ R7, done
```

**A)** Υποθέστε ότι δεν υπάρχουν σχήματα προώθησης. Εκτελέστε τον κώδικα και χρησιμοποιήστε ένα διάγραμμα χρονισμού για να δείξετε τα διάφορα στάδια της σωλήνωσης από τα οποία διέρχονται οι παραπάνω εντολές.

**B)** Υποθέστε τώρα ότι υπάρχουν τα σχήματα προώθησης που διδαχθήκατε στο μάθημα. Δείξτε όπως και πριν το διάγραμμα χρονισμού για τον παραπάνω κώδικα, υποδεικνύοντας και τις προωθήσεις που γίνονται.

**Γ)** Θεωρήστε ένα δεύτερο επεξεργαστή με το ίδιο ISA, ο οποίος όμως προκειμένου να έχει μικρότερο κύκλο έχει σπάσει το EX σε δύο στάδια: στο EX1 όπου ξεκινά η εκτέλεση των αριθμητικών και λογικών εντολών και στο EX2 όπου ολοκληρώνονται οι εντολές και παράγεται το αποτέλεσμα τους. Δίνεται επίσης ότι οι δυνατές προωθήσεις για αυτόν τον επεξεργαστή είναι οι εξής:

- από το EX2/MEM στο EX1
- από το MEM/WB στο EX1
- από το MEM/WB στο MEM

Δείξτε το διάγραμμα χρονισμού για τον παραπάνω κώδικα, υποδεικνύοντας τις προωθήσεις που γίνονται. Πόσο μικρότερος πρέπει να είναι ο κύκλος του δεύτερου επεξεργαστή σε σύγκριση με τον κύκλο του πρώτου, ώστε ο δεύτερος να εκτελεί τον παραπάνω κώδικα πιο γρήγορα;

### Θέμα 3ο (25%)

A) Δίνονται 2 προγράμματα σε C καθώς και η αντίστοιχη μετάφραση τους σε assembly MIPS. Συμπληρώστε τα κενά. Σας υπενθυμίζουμε ότι ο καταχωρητής \$0 είναι πάντα μηδέν, ενώ οι εντολές sll και srl πραγματοποιούν λογικό shift αριστερά ή δεξιά αντίστοιχα, τόσες θέσεις όσες ορίζει ο τελευταίος τελεστής της εντολής.

```
i) int i = 0;
   while (i < (n-1)){
       if(arr[i+1] < arr[i]){
           int temp = arr[i];
           arr[i] = arr[i+1];
           arr[i+1] = temp;
       }
       i = i+1;
   }
```

```
add $3, $0, $0
addi $7, $4, ___
loop: bge $3, $7, ___
      addi $8, $3, 1
      sll $8, $8, ___
      sll $9, $3, ___
      lw $10, 400($9)
      lw $11, ___($8)
      bge ___, ___, skip
      sw $10, 400(___ )
      sw $11, 400(___ )
skip: addi $3, $3, ___
      j loop
done: halt
```

```
ii) while ( ((x >> 1) & 0x1) != 0) {
      x = x >> 1;
      count ++;
}

/*
 * Δίνετε ότι η μεταβλητή x είναι
 * στον $1 και η count στον $2
 * /
```

```
addi $3, $0, ___
loop: srl $4, $1, ___
      and $5, ___, $3
      beq $5, ___, done
      add $1, ___, $0
      addi $2, ___, ___
      beq ___, $0, ___
done: halt
```

B) Στον παρακάτω πίνακα δίνεται μια ακολουθία προσπελάσεων σε διευθύνσεις μνήμης, καθώς και η συμπεριφορά της cache σε κάθε προσπέλαση (hit ή miss).

Διεύθυνση (hex)	Αποτέλεσμα
0x602	miss
0x620	miss
0x612	hit
0x400	miss
0x617	miss

Σκοπός σας είναι να ανακαλύψετε τη δομή της cache βασιζόμενοι στη συμπεριφορά αυτή. Δίνεται ότι οι διευθύνσεις έχουν μήκος 12 bits, το μέγεθος της cache είναι 512 bytes, καθώς και ότι η ελάχιστη μονάδα δεδομένων που μπορεί να διευθυνσιοδοτηθεί είναι το 1 byte. Απαντήστε στις παρακάτω ερωτήσεις δικαιολογώντας την απάντησή σας:

- Ποιο είναι το μέγεθος του block; (υπόδειξη: αρκεί να εξετάσετε τις 3 πρώτες προσπελάσεις)
- Ποιο είναι το πλήθος των cache blocks;
- Ποιο είναι το μέγεθος του tag;

Υποθέστε ότι αρχικά η cache είναι άδεια.

---

## Θέμα 4ο (25%)

**A)** Για κάθε μία από τις ακόλουθες προτάσεις απαντήστε αν είναι σωστή ή λάθος, δικαιολογώντας σε κάθε περίπτωση την απάντησή σας:

- i) Όταν το block size μιας cache αυξάνεται, το hardware που απαιτείται για την υλοποίηση του tag array μειώνεται.
- ii) Τα compulsory misses δε μπορούν να μειωθούν αυξάνοντας το μέγεθος της cache και διατηρώντας το block size σταθερό.
- iii) Το hit rate μιας direct mapped cache δε μπορεί να είναι ποτέ υψηλότερο από αυτό μιας fully associative.

**B)** Θεωρήστε την εκτέλεση του ακόλουθου βρόχου:

```
for (i=0; i<512; i++)  
    x[i] = x[i] * y[i] + x[i+2];
```

Κάνουμε τις εξής υποθέσεις:

- Κάθε στοιχείο των πινάκων x και y είναι 8 bytes.
- Για τα στοιχεία x[0] και y[0], οι διευθύνσεις του πρώτου byte τους είναι οι (δίνονται σε 16-δική μορφή): 0x2100 και 0x2200, αντίστοιχα.
- Το πρόγραμμα εκτελείται σε έναν επεξεργαστή με μόνο ένα επίπεδο κρυφής μνήμης δεδομένων, η οποία αρχικά είναι άδεια και έχει χωρητικότητα 128 bytes. Επιπλέον, η μικρότερη μονάδα δεδομένων που μπορεί να διευθυνσιοδοτηθεί είναι το 1 byte.
- Σε επίπεδο εντολών assembly οι αναγνώσεις γίνονται με τη σειρά που εμφανίζονται στον κώδικα.

Για κάθε μία από τις ακόλουθες περιπτώσεις οργάνωσης της cache, βρείτε τον αριθμό από *read hits*, *read misses*, *write hits* και *write misses* για τις διάφορες αναφορές που γίνονται στη μνήμη, εξηγώντας τις απαντήσεις σας.

- i) Ευθείας αντιστοίχισης (direct mapped), write through, no write allocate, με μέγεθος block ίσο με 32 bytes.
- ii) Ευθείας αντιστοίχισης, write back, write allocate, με μέγεθος block ίσο με 32 bytes.
- iii) 2-way set associative, write through, no write allocate, με μέγεθος block ίσο με 32 bytes και πολιτική αντικατάστασης FIFO.