



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ
ΕΡΓΑΣΤΗΡΙΟ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ
www.cslab.ece.ntua.gr

ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ

Επαναληπτική Εξέταση Οκτωβρίου 2011
Διάρκεια 2,5 ώρες

Οι εξετάσεις θα πραγματοποιηθούν ΧΩΡΙΣ την παρουσία βιβλίων, βοηθημάτων ή άλλου είδους σημειώσεων. Το μόνο που επιτρέπεται να έχετε μαζί σας είναι ένα φύλλο A4 στο οποίο μπορείτε να έχετε γράψει ό,τι έχετε κρίνει πιο σημαντικό για το μάθημα και θέλετε να το έχετε ως βοήθημά σας. Απαγορεύεται η ανταλλαγή οποιουδήποτε αντικειμένου κατά την ώρα της εξέτασης, ούτε και των φύλλων A4 που είναι ατομικά.

Θέμα 1ο (15%)

A. Δίνονται δύο επεξεργαστές, οι M5 και M7. Ο M5 διαθέτει σωλήνωση 5 σταδίων και ο κύκλος του ρολογιού διαρκεί 10 ns. Αντίστοιχα ο M7 διαθέτει σωλήνωση 7 σταδίων και ο κύκλος διαρκεί 7.5 ns. Ποιες από τις παρακάτω προτάσεις είναι σωστές; Εξηγήστε γιατί.

- (i) Ο M7 έχει μεγαλύτερο throughput από τον M5.
- (ii) Ο M7 έχει μικρότερο latency από τον M5.
- (iii) Ένα πρόγραμμα κάνει μικρότερο χρόνο να εκτελεστεί στον M7 από ότι στον M5.

B. Ως επικεφαλής της ομάδας σχεδίασης ενός νέου επεξεργαστή, καλείστε να αποφασίσετε για το είδος του ISA, αν δηλαδή θα είναι CISC ή RISC.

- (i) Ποια είναι η απόφαση σας αν ο στόχος σας είναι να σχεδιάσετε ένα σύστημα που θα επιτρέψει την ευκολότερη κατασκευή καλύτερων και πιο αποδοτικών compiler;
- (ii) Έστω ότι οι μηχανικοί σας ενημερώνουν ότι τα κυκλώματα που υλοποιούν τη λογική του CPU είναι πολύ γρήγορα σε αντίθεση με τις caches, με αποτέλεσμα οι προσβάσεις για instruction fetch να είναι 20x φορές πιο αργές. Ποια η απόφαση σας σε αυτή την περίπτωση;

Δικαιολογήστε συνοπτικά τις απαντήσεις σας.

Γ. Πώς ορίζονται οι RAW, WAW και WAR κίνδυνοι ανάμεσα σε 2 εντολές; Εξηγήστε ποιοι από αυτούς τους κινδύνους δεν μπορούν να εμφανιστούν στην κλασική αρχιτεκτονική σωλήνωσης 5 σταδίων του MIPS και γιατί.

Θέμα 2ο (35%)

Δίνεται ο παρακάτω κώδικας:

```

1. Loop:   lw    $t1, 0($t2)
2.         add   $t1, $t1, $t4
3.         lw    $t3, 0($t5)
4.         add   $t1, $t1, $t3
5.         lw    $t4, 0($t1)
6.         add   $t5, $t5, $t4
7.         sw    $t5, 0($t2)
8.         addi  $t2, $t2, 4
9.         sub   $t9, $t8, $t2
10.        bne  $t9, $zero, Loop

```

Υποθέστε ότι η αρχική τιμή του καταχωρητή \$t8 είναι ίση με (\$t2+100) και ότι ο κώδικας εκτελείται σε επεξεργαστή MIPS που διαθέτει την κλασική σωλήνωση 5 σταδίων (IF, ID, EX, MEM, WB) όπου η εγγραφή σε έναν καταχωρητή γίνεται στο πρώτο μισό του κύκλου ενώ η ανάγνωση από αυτόν στο δεύτερο μισό του ίδιου κύκλου. Υποθέστε επίσης ότι όλες οι αναφορές στη μνήμη ικανοποιούνται σε 1 κύκλο (δεν υπάρχουν δηλαδή αστοχίες), καθώς και ότι η απόφαση για μια εντολή διακλάδωσης λαμβάνεται στο στάδιο MEM.

A. Αν δεν υπάρχουν σχήματα προώθησης, εκτελέστε την 1^η επανάληψη του βρόχου (μέχρι και το load της 2^{ης} επανάληψης). Δείξτε σε ένα διάγραμμα χρονισμού τα διάφορα στάδια της σωλήνωσης από τα οποία διέρχονται οι παραπάνω εντολές. Πόσοι κύκλοι απαιτούνται για την εκτέλεση ολόκληρου του βρόχου;

B. Για την ίδια ακολουθία εντολών δείξτε και πάλι το χρονισμό της σωλήνωσης, θεωρώντας όμως τώρα ότι υπάρχουν όλα τα δυνατά σχήματα προώθησης που είδαμε στο μάθημα. Πόσοι κύκλοι απαιτούνται τώρα για να ολοκληρωθεί ο βρόχος;

Γ. Θεωρώντας την ίδια σωλήνωση με το ερώτημα B, μπορείτε να επιτύχετε ακόμα καλύτερη επίδοση τροποποιώντας τον κώδικα (χωρίς βέβαια να αλλάξετε την σημασιολογία του προγράμματος); Πόσοι κύκλοι απαιτούνται τώρα για την εκτέλεση του βρόχου;

Θέμα 3ο (25%)

A. Πώς ορίζεται η ιδιότητα της χρονικής τοπικότητας των αναφορών και πως την εκμεταλλεύεται μια cache; Αναφέρατε ένα παράδειγμα πολιτικής αντικατάστασης που στηρίζεται σε αυτή την ιδιότητα.

B. Δίνεται μια 4-way associative cache μεγέθους 64KB με μέγεθος block 64 bytes. Η μικρότερη μονάδα που μπορεί να διευθυνσιοδοτηθεί είναι το 1 byte. Υπολογίστε το συνολικό μέγεθος του tag array για μια αρχιτεκτονική των 64 bits. Αν για την ίδια αρχιτεκτονική αλλάξουμε την οργάνωση της cache σε fully-associative (διατηρώντας σταθερή τη χωρητικότητα και το μέγεθος του block) ποια η μεταβολή του μεγέθους του tag array;

Γ. Υποθέστε μια set-associative cache. Πώς θα επηρεαστούν τα *Hit Time*, *Miss Rate* και *Miss Penalty* αν γίνει ξεχωριστά το καθένα από τα παρακάτω; Θα αυξηθούν, θα μειωθούν ή θα παραμείνουν αμετάβλητα; Εξηγείστε γιατί.

(i) Διπλασιασμός του associativity, διατηρώντας σταθερό το συνολικό μέγεθος καθώς και το μέγεθος του block.

(ii) Υποδιπλασιασμός του μεγέθους του block, διατηρώντας σταθερό το associativity και τον αριθμό των sets.

(iii) Διπλασιασμός του αριθμού των sets, διατηρώντας σταθερό το συνολικό μέγεθος καθώς και το μέγεθος του block.

(iv) Χρήση ενός prefetching μηχανισμού.

Θέμα 4ο (25%)

Δίνονται οι παρακάτω δύο βρόχοι:

<u>Loop A</u>	<u>Loop B</u>
<pre>sum = 0; for (i = 0; i < 128; i++) for(j = 0; j < 64; j++) sum += A[i][j];</pre>	<pre>sum = 0; for(j = 0; j < 64; j++) for(i = 0; i < 128; i++) sum += A[i][j];</pre>

Ο πίνακας A περιέχει 32-bit ακεραίους και είναι αποθηκευμένος στη μνήμη κατά γραμμές. Δίνεται επίσης ότι μόνο οι προσβάσεις στον πίνακα A προκαλούν πρόσβαση στη μνήμη και ότι όλες οι άλλες μεταβλητές είναι αποθηκευμένες σε καταχωρητές.

A. Έστω ότι το σύστημα περιέχει μια direct-mapped L1 data cache μεγέθους 4KB με block μεγέθους 32 bytes. Αν η cache είναι άδεια, ποιος ο αριθμός των misses που προκαλεί η εκτέλεση του Loop A; Ποιος ο αριθμός των misses για το Loop B;

B. Υποθέστε ότι σας δίνετε η δυνατότητα να αντικαταστήσετε την cache με μια άλλη direct-mapped cache με μέγεθος block πάλι 32 bytes. Υπολογίστε τον ελάχιστο αριθμό cache lines που απαιτείται προκειμένου να εκτελεστεί το Loop A χωρίς κανένα άλλο miss εκτός από τα compulsory. Ποιος ο αντίστοιχος ελάχιστος αριθμός για την εκτέλεση του Loop B;

Γ. Υποθέστε ότι ο επεξεργαστής έχει τώρα μια fully-associative L1 data cache, μεγέθους 4KB με block μεγέθους 32 bytes. Αν η πολιτική αντικατάστασης είναι FIFO, υπολογίστε τον αριθμό των misses που προκαλεί η εκτέλεση του Loop A. Αντιστοίχως για το Loop B.