



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ
ΕΡΓΑΣΤΗΡΙΟ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ
www.cslab.ece.ntua.gr

ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ
Εξετάσεις Μαρτίου 2009
Διάρκεια 2,5 ώρες

Οι εξετάσεις θα πραγματοποιηθούν ΧΩΡΙΣ την παρουσία βιβλίων, βοηθημάτων ή άλλου είδους σημειώσεων. Το μόνο που επιτρέπεται να έχετε μαζί σας είναι ένα φύλλο A4 στο οποίο μπορείτε να έχετε γράψει ό,τι έχετε κρίνει πιο σημαντικό για το μάθημα και θέλετε να το έχετε ως βοήθημά σας. Απαγορεύεται η ανταλλαγή οποιουδήποτε αντικειμένου κατά την ώρα της εξέτασης, ούτε και των φύλλων A4 που είναι ατομικά.

Θέμα 1ο (25 %)

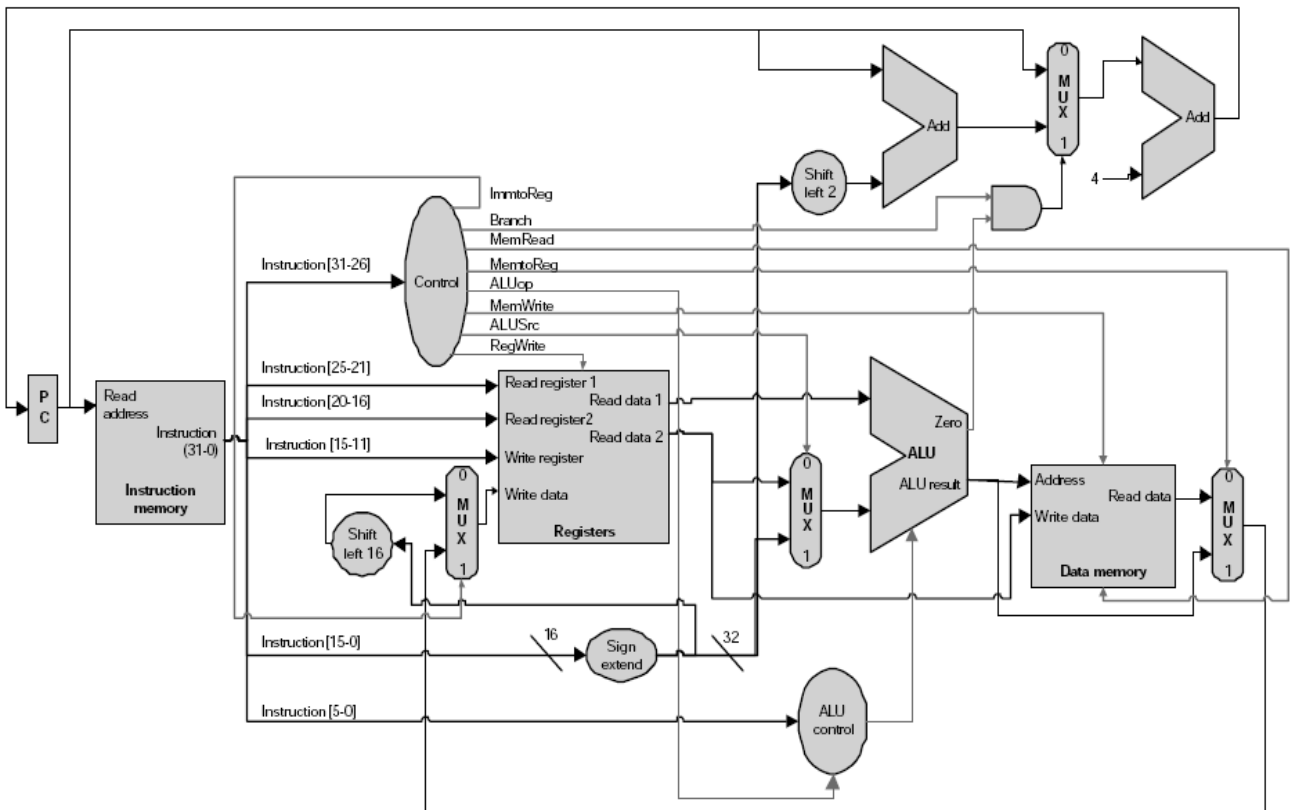
A(6%). Δίνεται επεξεργαστής με αρχιτεκτονική σωλήνωσης. Πώς θα επηρεαστούν τα μεγέθη Instructions/Program, Cycles/Instruction και Seconds/Cycle αν γίνει ξεχωριστά το καθένα από τα παρακάτω; Θα αυξηθούν, θα μειωθούν ή θα μείνουν αμετάβλητα; Γιατί;

- (i) Ένωση 2 σταδίων της σωλήνωσης σε 1.
- (ii) Αύξηση της συχνότητας του ρολογιού.
- (iii) Χρησιμοποίηση ενός καλύτερου compiler.

B(9%). Ως επικεφαλής σχεδιασμού του επεξεργαστή MIPS αποφασίζετε την αναδιάταξη των σταδίων της σωλήνωσης, τοποθετώντας το στάδιο MEM πριν το στάδιο EX. Η καινούρια σωλήνωση διαθέτει και αυτή πλήρες σχήμα προώθησης.

- (i) Αλλάζει ο τρόπος διευθυνσιοδότησης των δεδομένων στη μνήμη; Αν ναι, πώς;
- (ii) Δώστε ένα παράδειγμα αλληλουχίας εντολών, όπου η κλασική σωλήνωση του MIPS θα εισήγαγε καθυστερήσεις (stalls) ενώ η καινούρια όχι.
- (iii) Δώστε ένα παράδειγμα αλληλουχίας εντολών, όπου η καινούρια σωλήνωση του MIPS θα εισήγαγε καθυστερήσεις (stalls) ενώ η κλασική όχι.

Γ(10%). Δίνεται η παρακάτω δίοδος δεδομένων (datapath) καθώς και μια σειρά εντολών μαζί με τις δομές τους και το μήκος των πεδίων τους. Μπορεί να εκτελεστεί κάθε μια από τις εντολές αυτές σε αυτό το datapath; Αν όχι, γιατί;



(i) `add rd, rs, rt`

0x0	rs	rt	rd	0	0x20
6	5	5	5	5	6

(ii) `lw rt, offset(rs)`

0x23	rs	rt	offset
6	5	5	16

(iii) `j target`

0x2	target
6	26

(iv) `lui rt, imm`

0xf	0x0	rt	imm
6	5	5	16

(v) `bne rs, rt, label`

0x5	rs	rt	label
6	5	5	16

Θέμα 2ο (30 %)

Υποθέτουμε ότι έχουμε αρχιτεκτονική σωλήνωσης αποτελούμενη από τα εξής στάδια: IF ID AGU MEM ALU WB. Το *AGU* (address generation unit) χρησιμοποιείται για τον υπολογισμό τελικών διευθύνσεων μνήμης (effective address calculation), καθώς και για τον υπολογισμό διευθύνσεων-στόχων (targets) σε εντολές διακλάδωσης. Το ALU χρησιμοποιείται για όλους τους υπόλοιπους υπολογισμούς, καθώς και για την επίλυση των διακλαδώσεων υπό συνθήκη. Επιπλέον, οι αριθμητικές εντολές έχουν τη δυνατότητα να προσπελαίνουν απευθείας μια θέση μνήμης. Όλα τα στάδια διαρκούν 1 κύκλο ρολογιού.

A(6%). Βρείτε όλες τις εξαρτήσεις στο ακόλουθο κομμάτι κώδικα καθώς και την κατηγορία στην οποία ανήκουν (true dependence, output dependence, anti-dependence, control dependence).

```
Repeat :      lw $1,100($2)
              add $3,$1,100($4)
              or $6,$5,$3
              sw $6,100($2)
              mul $4,$4,#100
              sub $2,$2,#8
              bne $2,$0, Repeat
              sub $1,$1,#100
```

B(9%). Υποθέστε ότι δεν υπάρχει σχήμα προώθησης. Πόσοι κύκλοι απαιτούνται για την εκτέλεση μιας επανάληψης του loop; Ο καταχωρητής \$2 έχει τέτοια τιμή ώστε το branch να είναι TAKEN.

Γ(9%). Υποθέστε τώρα ότι υπάρχουν όλα τα δυνατά σχήματα προώθησης. Πόσοι κύκλοι απαιτούνται για την εκτέλεση μιας επανάληψης του loop; Ο καταχωρητής \$2 έχει τέτοια τιμή ώστε το branch να είναι TAKEN.

Δ(6%). Θεωρώντας την ίδια σωλήνωση με το ερώτημα γ, μπορείτε να επιτύχετε ακόμα καλύτερη επίδοση για την εκτέλεση μιας επανάληψης του loop αναδιατάσσοντας εντολές;

Θέμα 3ο (20 %)

A(5%). Εξηγήστε συνοπτικά τις πολιτικές write-through, write-back, write-allocate, no-write-allocate. Γιατί ο συνδυασμός write-through με write-allocate δεν προτιμάται στην πράξη;

B(10%). Δίνεται μια κρυφή μνήμη 64KB με blocks των 128 bytes. Οι διευθύνσεις έχουν μήκος 32 bits και η μικρότερη μονάδα διευθυνσιοδότησης είναι το 1 byte. Σχεδιάστε το συνολικό σύστημα της κρυφής μνήμης για τις παρακάτω οργανώσεις :

- (i) direct-mapped
- (ii) 4-way set associative

Γ(5%). Έστω σύστημα εικονικής μνήμης. Είναι δυνατόν μια αναζήτηση διεύθυνσης να προκαλέσει *ευστοχία (hit) στη κρυφή μνήμη αναζήτησης μετάφρασης (TLB)* και ταυτόχρονα *σφάλμα σελίδας (page fault)*;

Θέμα 4ο (25 %)

Θεωρήστε την εκτέλεση του ακόλουθου τμήματος κώδικα γραμμένο σε γλώσσα C:

```
double y[32][160], x[160];
j=2;
for (i=0; i<128; i++)
    x[i] = x[i+2] + y[j][i+32];
```

Κάθε στοιχείο των πινάκων x και y είναι 8 bytes. Έστω ότι για τα στοιχεία $x[0]$ και $y[0][0]$, οι διευθύνσεις του πρώτου στοιχείου τους είναι οι $0x00004000$ και $0x00008300$, αντίστοιχα. Υποθέτουμε ότι έχουμε ένα επίπεδο κρυφής μνήμης δεδομένων. Επιπλέον, οι εντολές σε επίπεδο assembly του παραπάνω βρόχου είναι διατεταγμένες με τέτοιο τρόπο ώστε γίνεται πρώτα ανάγνωση του x και έπειτα του y , οι οποίοι είναι αποθηκευμένοι κατά γραμμές.

Για κάθε μία από τις ακόλουθες περιπτώσεις οργάνωσης της cache, βρείτε τον αριθμό από read hits, read misses, write hits και write misses για τις διάφορες αναφορές που γίνονται στη μνήμη, εξηγώντας σε κάθε περίπτωση τις απαντήσεις σας. Υποδείξτε τις κατηγορίες στις οποίες εντάσσονται τα misses που βρίσκετε (compulsory, conflict, capacity).

A(9%). Κρυφή μνήμη μεγέθους 1KB, συσχέτισης 2 δρόμων (2-way set associative), write allocate, με μέγεθος block ίσο με 32 bytes και πολιτική αντικατάστασης LRU.

B(8%). Κρυφή μνήμη μεγέθους 512 bytes, ευθείας αντιστοίχισης (direct mapped), write allocate, με μέγεθος block ίσο με 32 bytes.

Γ(8%). Κρυφή μνήμη μεγέθους 512 bytes, ευθείας αντιστοίχισης, no-write allocate, με μέγεθος block ίσο με 32 bytes.