

Coherence and Consistency Examples

Παράδειγμα 1: Cache coherence

- 2-way SMP
- Write-back caches, 2-way set associative
- MESI protocol
- 16 bytes per line
- caches initially empty

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	0000	0000	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			

Processor 1 Cache						
Tag	Set	MESI	Data			

P0 writes '1111' to 8c34

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	0000	0000	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	M	0000	1111	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			

P0 reads 7c34

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	0000	0000	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	M	0000	1111	0000	0000
7	c3	E	0000	0000	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			

P1 writes '2222' to 8c30

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	0000	1111	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	I	----	----	----	----
7	c3	E	0000	0000	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			
8	c3	M	2222	1111	0000	0000

P1 reads 7c34

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	0000	1111	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	I	----	----	----	----
7	c3	S	0000	0000	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			
8	c3	M	2222	1111	0000	0000
7	c3	S	0000	0000	0000	0000

P1 reads 9c38

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	2222	1111	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	I	----	----	----	----
7	c3	S	0000	0000	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			
9	c3	E	0000	0000	0000	0000
7	c3	S	0000	0000	0000	0000

P0 reads 8c3c

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	2222	1111	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	E	2222	1111	0000	0000
7	c3	S	0000	0000	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			
9	c3	E	0000	0000	0000	0000
7	c3	S	0000	0000	0000	0000

P0 writes '3333' to 8c3c

Memory				
Location	0	4	8	C
7c3x	0000	0000	0000	0000
8c3x	2222	1111	0000	0000
9c3x	0000	0000	0000	0000

Processor 0 Cache						
Tag	Set	MESI	Data			
8	c3	M	2222	1111	0000	3333
7	c3	S	0000	0000	0000	0000

Processor 1 Cache						
Tag	Set	MESI	Data			
9	c3	E	0000	0000	0000	0000
7	c3	S	0000	0000	0000	0000

Παράδειγμα 2: Memory consistency

A = B = flag = 0

P1	P2
A = 1	while flag == 0 ;
B=2	print B
flag = 1	print A

- Ποια από τα παρακάτω αποτελέσματα είναι ασύμβατα με την Sequential Consistency και γιατί;
 - (A,B) = (1,0)
 - (A,B) = (1,2)
 - (A,B) = (0,2)

Παράδειγμα 2: Memory consistency

A = B = flag = 0

P1	P2
A = 1	while flag == 0 ;
B=2	print B
flag = 1	print A

- Σε ένα Weak Ordering μοντέλο, πώς θα έπρεπε να είναι γραμμένο το πρόγραμμα ώστε να συμμορφώνεται στην SC;

Παράδειγμα 2: Memory consistency

A = B = flag = 0

P1	P2
A = 1	while flag == 0 ;
B=2	print B
flag = 1	print A

- Σε ένα Weak Ordering μοντέλο, πώς θα έπρεπε να είναι γραμμένο το πρόγραμμα ώστε να συμμορφώνεται στην SC;

P1	P2
A = 1	while SYNC flag == 0 ;
B=2	print B
SYNC flag = 1	print A

Παράδειγμα 3: Memory consistency

A = B = 0

P1	P2	P3
A = 1	A = 5	if A == 0
B = 2	B = 6	then B = 10
A = 3	if A == 1	
B = 4	then B = 8	
	else B = 9	

- Ποια από τα παρακάτω τελικά αποτελέσματα είναι ασύμβατα με την Sequential Consistency και γιατί;
 - (A,B) = (1,9)
 - (A,B) = (3,6)
 - (A,B) = (3,9)

$$A = B = 0$$

P1	P2	P3
A = 1	A = 5	if A == 0
B = 2	B = 6	then B = 10
A = 3	if A == 1	
B = 4	then B = 8	
	else B = 9	

- Δώστε μια υποθετική σειρά εκτέλεσης που συμμορφώνεται με την SC και οδηγεί στο $(A,B)=(3,9)$

$$A = B = 0$$

P1	P2	P3
A = 1	A = 5	if A == 0
B = 2	B = 6	then B = 10
A = 3	if A == 1	
B = 4	then B = 8	
	else B = 9	

- Δώστε μια υποθετική σειρά εκτέλεσης που συμμορφώνεται με την SC και οδηγεί στο $(A,B)=(3,9)$

P1	P2	P3
		if A == 0
		then B = 10
A = 1		
B = 2		
	A = 5	
	B = 6	
A = 3		
B = 4		
	if A == 1	
	then B = 8	
	else B = 9	

Παράδειγμα 4: Memory consistency

P1	P2
1a: LW R2, 0(R8)	2a: LW R4, 0(R9)
1b: SW R2, 0(R9)	2b: SW R5, 0(R8)
1c: LW R3, 0(R8)	2c: SW R4, 0(R8)

- Αρχικά: $R2=R3=R4=0$, $R5=8$, $R8=0\text{χαααααααα}$, $R9=0\text{xbbbbbbbb}$, $M[R8] = 6$, $M[R9] = 7$
- Weak Ordering μοντέλο
- Μετά το τέλος της εκτέλεσης, ποια από τις παρακάτω καταστάσεις είναι δυνατόν να έχουμε;
 - $M[R8] = 7$, $M[R9] = 6$
 - $M[R8] = 6$, $M[R9] = 7$
 - $M[R8] = 0$

Παράδειγμα 4: Memory consistency

P1	P2
1a: LW R2, 0(R8)	2a: LW R4, 0(R9)
1b: SW R2, 0(R9)	2b: SW R5, 0(R8)
1c: LW R3, 0(R8)	2c: SW R4, 0(R8)

- Αρχικά: $R2=R3=R4=0$, $R5=8$, $R8=0\text{χαααααααα}$, $R9=0\text{xbbbbbb}$, $M[R8] = 6$, $M[R9] = 7$
- Weak Ordering μοντέλο
- Μετά το τέλος της εκτέλεσης, ποια από τις παρακάτω καταστάσεις είναι δυνατόν να έχουμε;
 - $M[R8] = 7$, $M[R9] = 6$: Ναι
1a -> 2a -> 1b -> 1c -> 2b -> 2c

Παράδειγμα 4: Memory consistency

P1	P2
1a: LW R2, 0(R8)	2a: LW R4, 0(R9)
1b: SW R2, 0(R9)	2b: SW R5, 0(R8)
1c: LW R3, 0(R8)	2c: SW R4, 0(R8)

- Αρχικά: $R2=R3=R4=0$, $R5=8$, $R8=0\text{χαααααααα}$, $R9=0\text{xbbbbbb}$, $M[R8] = 6$, $M[R9] = 7$
- Weak Ordering μοντέλο
- Μετά το τέλος της εκτέλεσης, ποια από τις παρακάτω καταστάσεις είναι δυνατόν να έχουμε;
 - $M[R8] = 6$, $M[R9] = 7$: Όχι

Θα απαιτούσε να μην αλλάζαν τα περιεχόμενα της μνήμης, πράγμα αδύνατο στην περίπτωσή μας

Παράδειγμα 4: Memory consistency

P1	P2
1a: LW R2, 0(R8)	2a: LW R4, 0(R9)
1b: SW R2, 0(R9)	2b: SW R5, 0(R8)
1c: LW R3, 0(R8)	2c: SW R4, 0(R8)

- Αρχικά: $R2=R3=R4=0$, $R5=8$, $R8=0\text{χαααααααα}$, $R9=0\text{xbbbbbb}$, $M[R8] = 6$, $M[R9] = 7$
- Weak Ordering μοντέλο
- Μετά το τέλος της εκτέλεσης, ποια από τις παρακάτω καταστάσεις είναι δυνατόν να έχουμε;
 - $M[R8] = 0$: Όχι
ο μόνος τρόπος θα ήταν $2b \rightarrow 2c \rightarrow 2a$, που όμως παραβιάζει το WO (γιατί;)